Anritsu Advancing beyond

移动终端接口演进及LPDDR5的测试验证

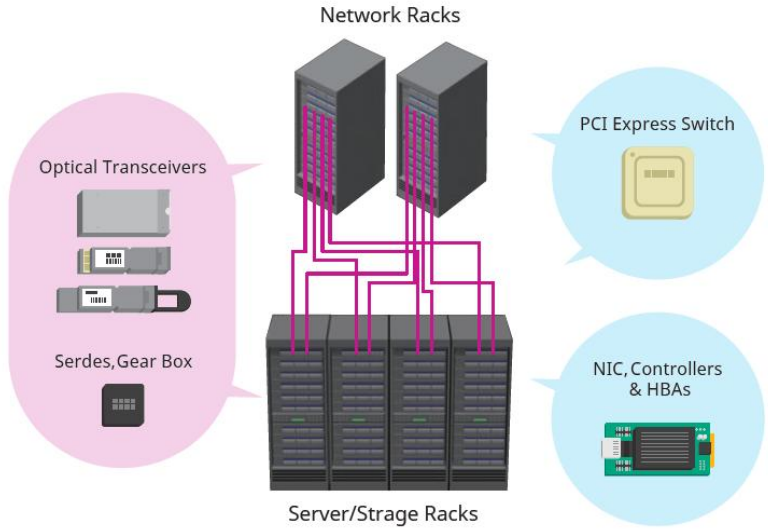
赵雁飞
安立通讯科技（上海）有限公司
2023.12.08

Anritsu(安立）是谁?

Anritsu
Advancing beyond

Anritsu是一家具有近130年历史的全球领先的测试测量仪表供应商
全面提供互连测试方案

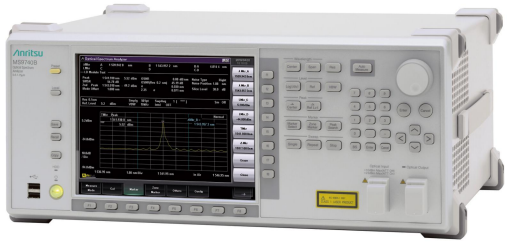
800G 光示波器
MP2110A



400G的误码仪
MT1040A

110G矢量网络分析仪
VectorStar

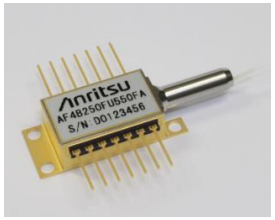
高速接口一致性测试
MP1900A



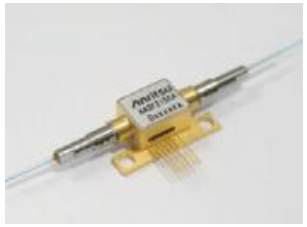
光谱分析仪
MS9740B

Anritsu(安立）是谁?

Anritsu同时也是一家高速芯片和器件供应商



用于长距拉曼光放
1480nm激光器



用于80Km光模块
SOA

用于医疗相干检测
SLD

用于光器件测试
200G 放大器

.....

内 容

一、移动终端互连接口的演进

二、移动终端LPDDR5接口的验证

三、总结

内 容

一、移动终端互连接口的演进

二、移动终端LPDDR5接口的验证

四、总结

移动终端的角色演进

传统的移动终端

语音&信息

CPU

APP时代

视频/图像

APU+BPU

智能时代

智能处理

APU+BPU+GPU+NPU

新应用对移动终端互连的要求

5G 7.9G 速率（下行）

高清智能相机

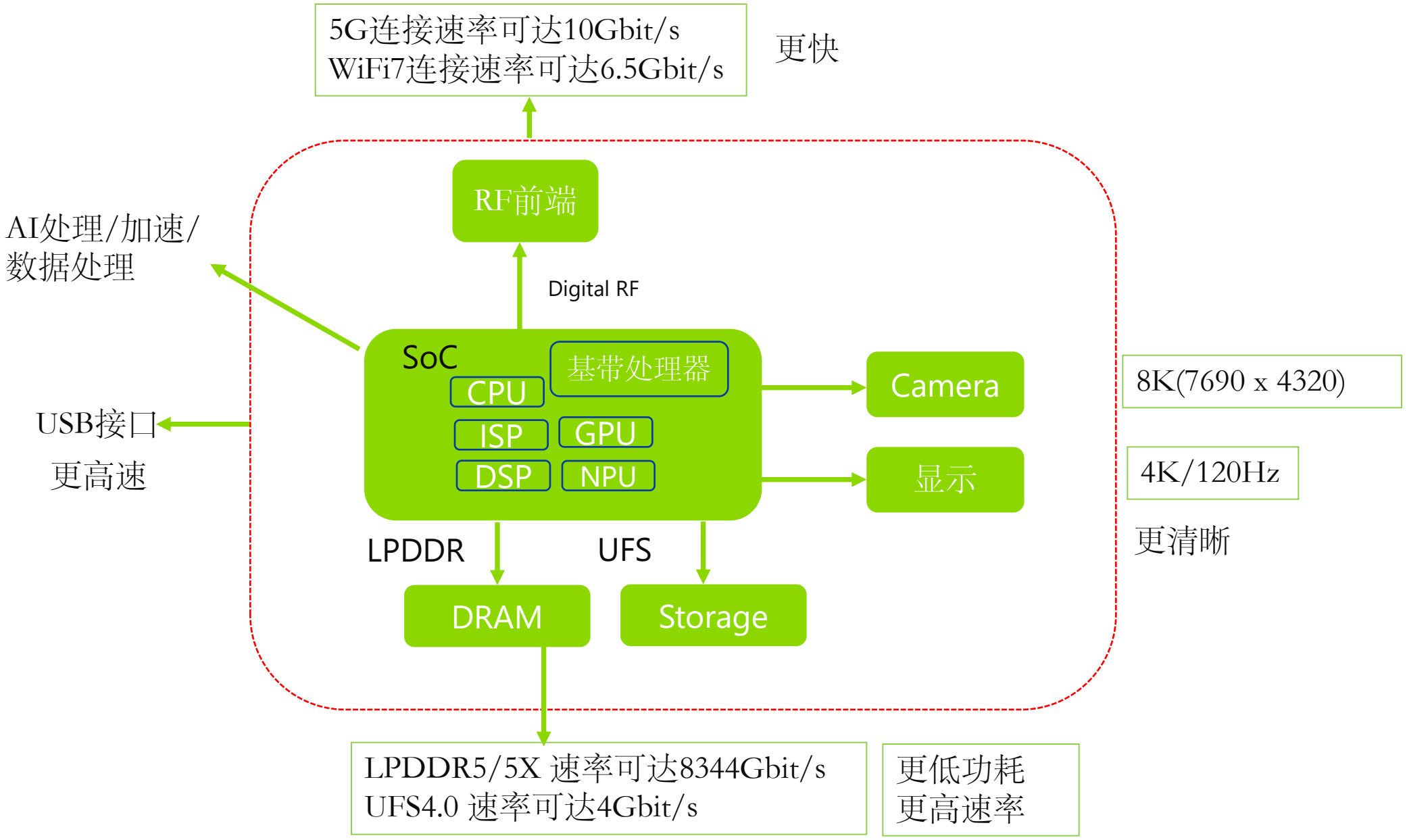
高分辨率的显示
8K?

USB的接口 10G/20G?

- 数据速率的提升-数据传输快
- 处理效率要快-时延小
- 功耗要低

移动终端：游戏、视频、元宇宙、数字孪生、人工智能….

移动终端互连架构


5G连接速率可达10Gbit/s
WiFi7连接速率可达6.5Gbit/s
更快
RF前端
Digital RF
AI处理/加速/
数据处理
USB接口
更高速
SoC
基带处理器
CPU
ISP
GPU
DSP
NPU
Camera
显示
8K(7690 x 4320)
4K/120Hz
更清晰
LPDDR
UFS
DRAM
Storage
LPDDR5/5X 速率可达8344Gbit/s
UFS4.0 速率可达4Gbit/s
更低功耗
更高速率

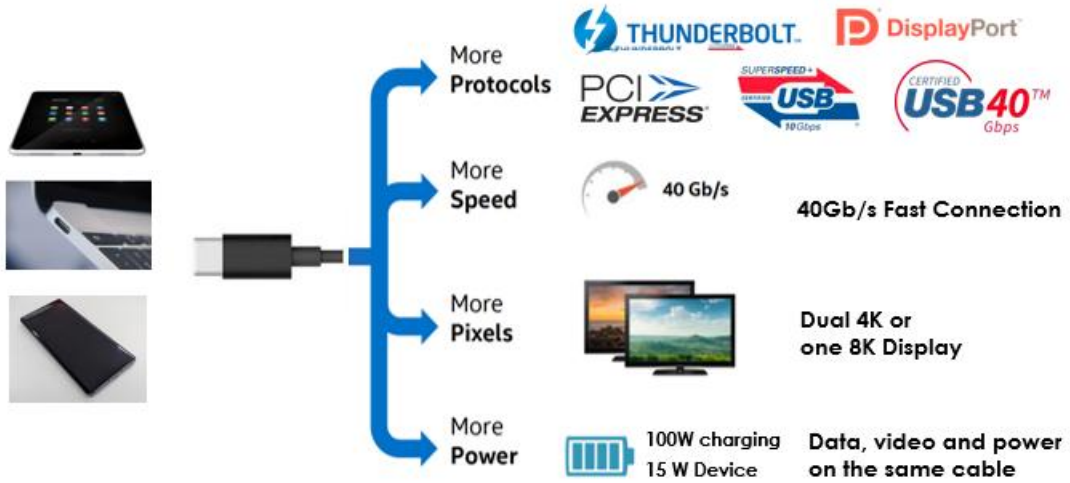
移动终端互连接口的最新演化：外部接口(USB)

单纯的供电 ⋯⋯▶ 供电+数据+视频+音频

USB接口目前已经做到手机外部接口的统一，并朝着更高速率的演进

移动终端互连接口的最新演化：外部接口（USB）

USB支持的功能



USB接口速率演化

USB Protocol Speed*	Product Logo#	Port Icon#	Cable Icon#
Low-Speed USB (1.5 Mbps)	USB		
Full-Speed USB (12 Mbps)			
High-Speed USB (480 Mbps)	USB		
SuperSpeed USB 5Gbps	USB	SS 5	5Gbps
SuperSpeed USB 10Gbps	USB	SS 10	
SuperSpeed USB 20Gbps	USB	SS 20	20Gbps
USB4® 20Gbps	USB 20Gbps	20Gbps	
USB4® 40Gbps	USB 40Gbps	40Gbps	40Gbps
USB4® 80Gbps	USB 80Gbps	80Gbps	80Gbps

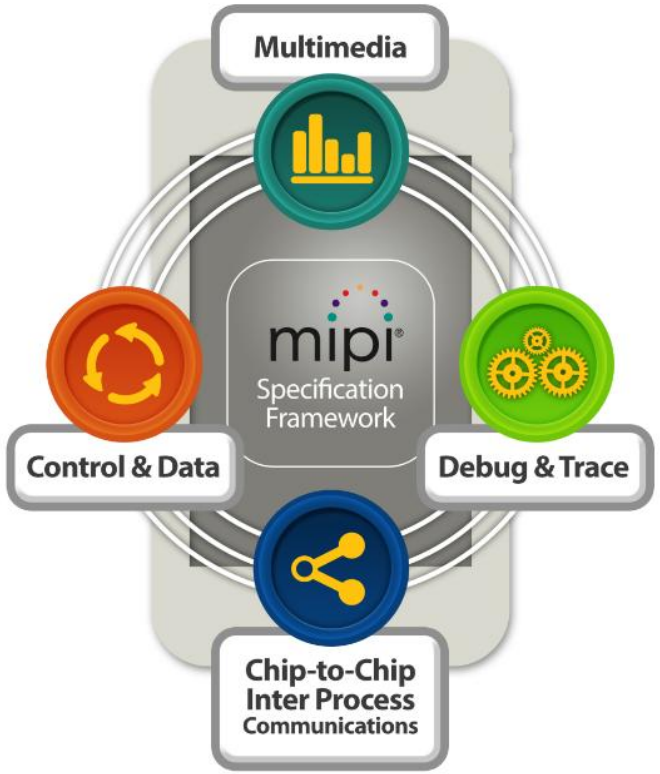
Common references	FOR DEVELOPERS ONLY: The Technical Specifications
USB 2.0	USB 1.0 Specification (January 1996)
	USB 2.0 Specification (April 2000)
USB 3.0	USB 3.0 Specification (November 2008)
USB 3.1	USB 3.1 Specification (July 2013)
USB 3.2	USB 3.2 Specification (September 2017)
USB4®	USB 4.0 Specification, Ver 1.0 (August 2019)
	USB 4.0 Specification, Ver 2.0 (October 2022)

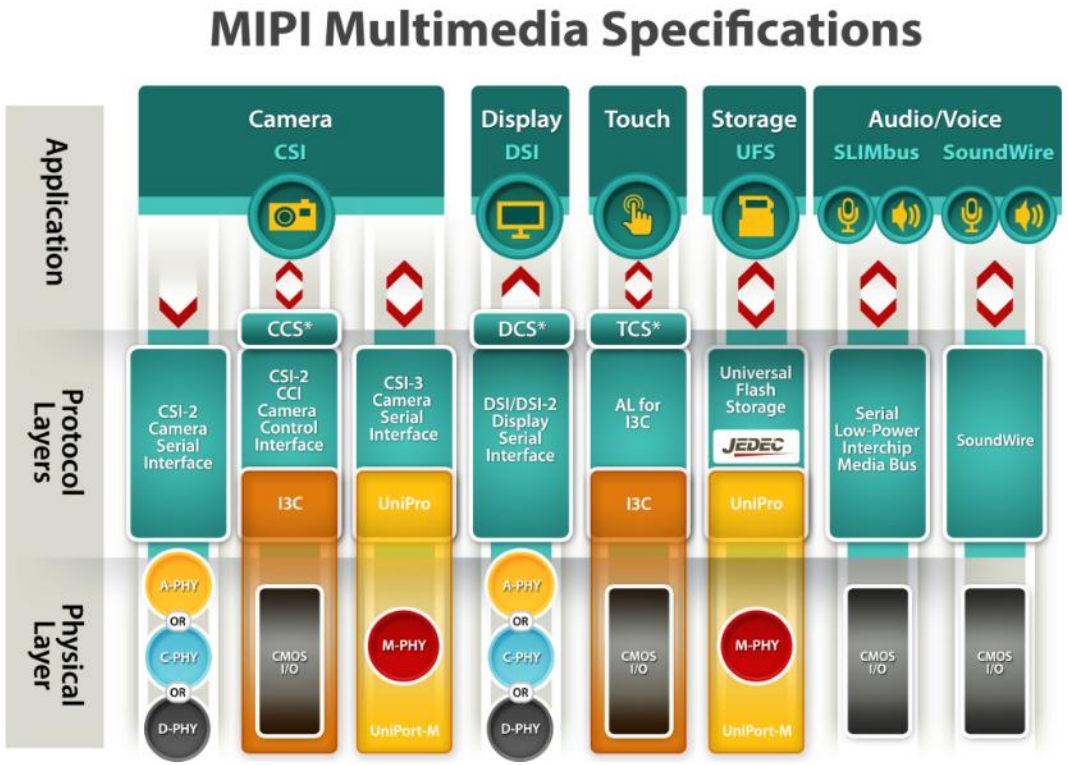
USB接口不但但支持USB的协议，而且可以作为隧道支持DP\TBT\PCIe协议，实现更多类型意义上的互连。

对于移动终端（手机）来讲，USB3.1肯定不是终点，我们期待着更高版本的应用，来扩展手机的应用。

移动终端互连接口的最新演化：显示与Camera-MIPI

MIPI 联盟定义了一套接口标准，把移动设备内部的接口如摄像头、显示屏、基带、射频接口等标准化，从而增加设计灵活性，同时降低成本、设计复杂度、功耗和EMI。

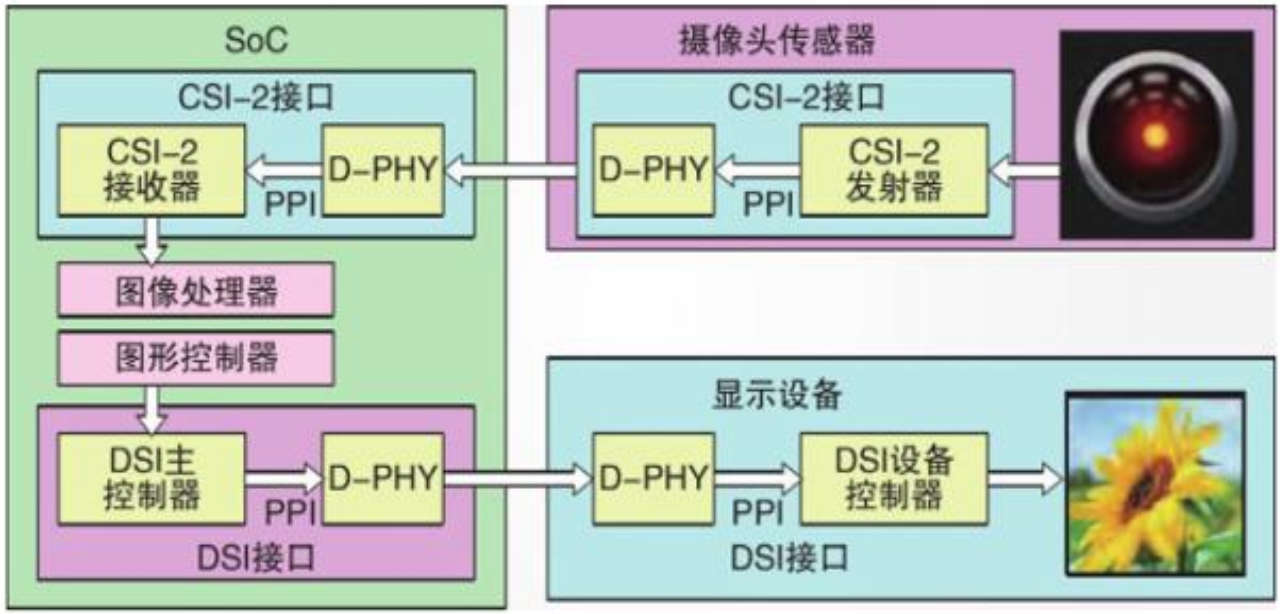




MIPI (Mobile Industry Processor Interface)

移动终端互连接口的最新演化：显示与Camera-MIPI

DSI：Display Serial Interface，定义位于处理器和显示模组之间的高速串行接口
CSI：Camera Serial Interface，定义位于处理器和摄像模组之间的高速串行接口
DCS：Display Command Set，一个标准化的命令集，用于命令模式的显示模组。



分辨率	1440x3360,1600x2560
屏刷率	60Hz
接口	支持MIPI DPHY v1.2; MIPI CPHY
信道	3200
显示屏	LTPS OLED

移动终端互连接口的最新演化：显示与Camera-MIPI

Anritsu
Advancing beyond

MIPI-DPHY的演化

Category	Feature	v1.0	v1.1	v1.2	v2.0	v2.1	v2.5	v3.0
	Board Adoption	4Q 09	4Q 11	3Q 14	1Q 16	1Q 17	3Q 19	3Q 21
Symbol Rate (Gbps/Lane)	Standard Channel	1	1.5	2.5	4.5	4.5	4.5	9
	Short Channel					6.5	6.5	11
Increased Symbol Rate	Basic De-emphasis				✓	✓	✓	✓
	Calibration			✓	✓	✓	✓	✓
	Additional UI Jitter (RCLK jitter) specs		✓	✓	✓	✓	✓	✓
	Rx Equalization							✓

Category	Feature	v3.0	v3.5 FC	v3.5 EC (Optional)	v4.0 EC (Tentative)
	Board Adoption	3Q 21			
Symbol Rate (Gbps/Lane)	Standard Channel	9	9	9 Bands B1, B2, B3, B4	TBD
	Short Channel	11	11	Same as above	TBD
Increased Symbol Rate	Basic De-emphasis	✓	✓	✓	✓
	Calibration	✓	✓	✓	✓
	Additional UI Jitter (RCLK jitter) specs	✓	✓	✓	✓
	Rx Equalization	✓	✓	✓	✓

MIPI Dphy V4.0的规范定义，物理接口的速率可达18 to 20 Gbps.

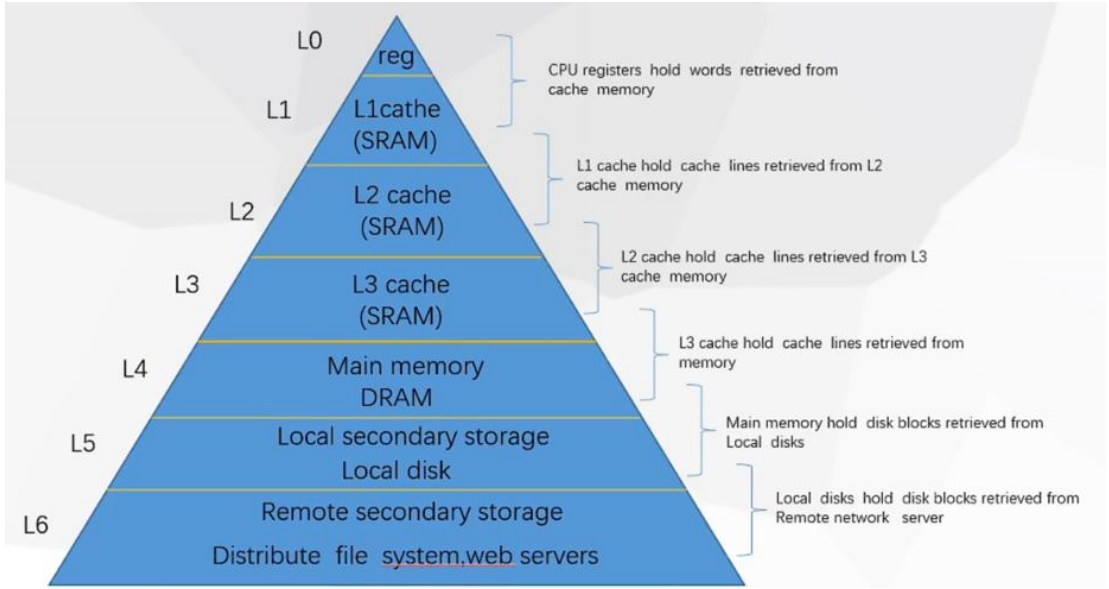
移动终端互连接口的最新演化：显示与Camera-MIPI

Anritsu
Advancing beyond

MIPI-CPHY的演化

Category	Feature	v1.0	v1.1	v1.2	v2.0	v2.1	v3.0
	Board Adoption	4Q 14	1Q 16	1Q 17	3Q 19	3Q 21	~1Q 23
Symbol Rate (Gsps/Lane)	Standard Channel, Gsps (Gbps)	-	2.8 (6.4)	3.5 (8.0)	6 (13.7)	6 (13.7)	~5 (17.8)
	Short Channel, Gsps (Gbps)	-	3.0 (6.9)	4.5 (10.3)	8 (18.3)	8 (18.3)	~7 (24.9)
Increased Symbol Rate	Basic Pre-emphasis		✓	✓	✓	✓	✓
	Advanced TxEQ, Calibration Additional UI (RCLK) Jitter specs			✓	✓	✓	✓
	Rx Equalization				✓	✓	✓
	Multi-phase 18-state coding (3.556 coding factor)						✓

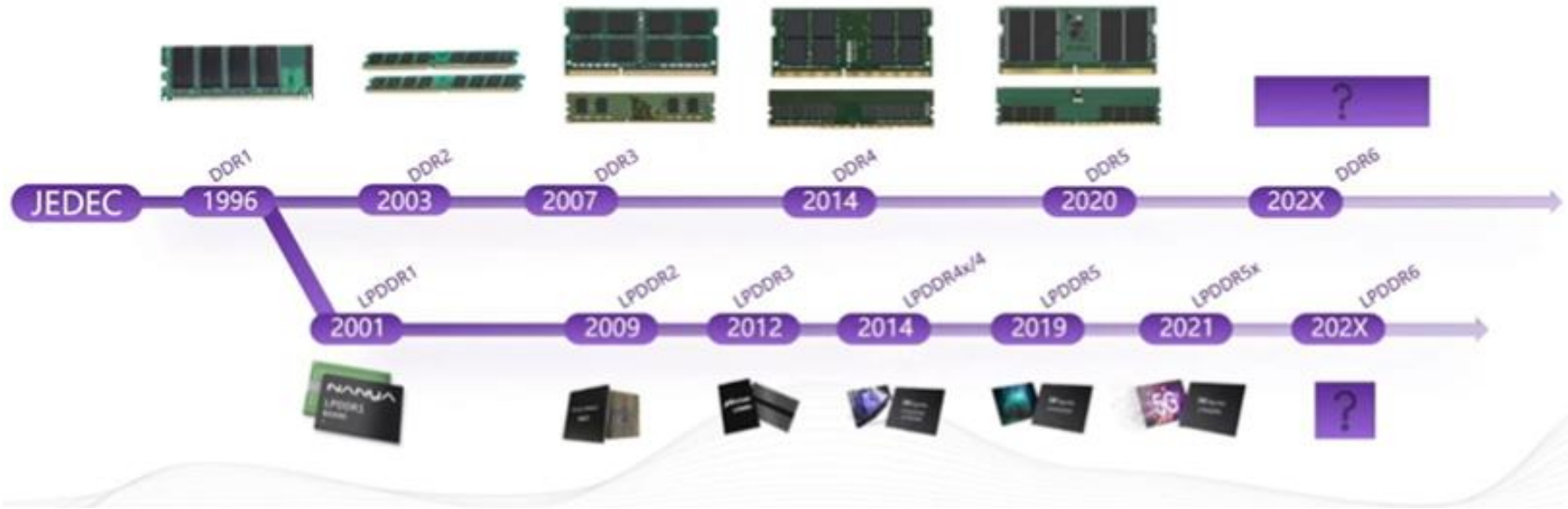
移动终端互连接口的最新演化：存储接口,从eMMC到UFS



UFS 版本	每通道的带宽	支持的最大通道数	Max. total bandwidth	M-PHY的版本
1	300 MB/s	1	300 MB/s	
1.1				
2	600 MB/s	2	1200 MB/s	3
2.1				
2.2				
3	1450 MB/s		2900 MB/s	4.1
3.1				
4	2900 MB/s		5800 MB/s	5

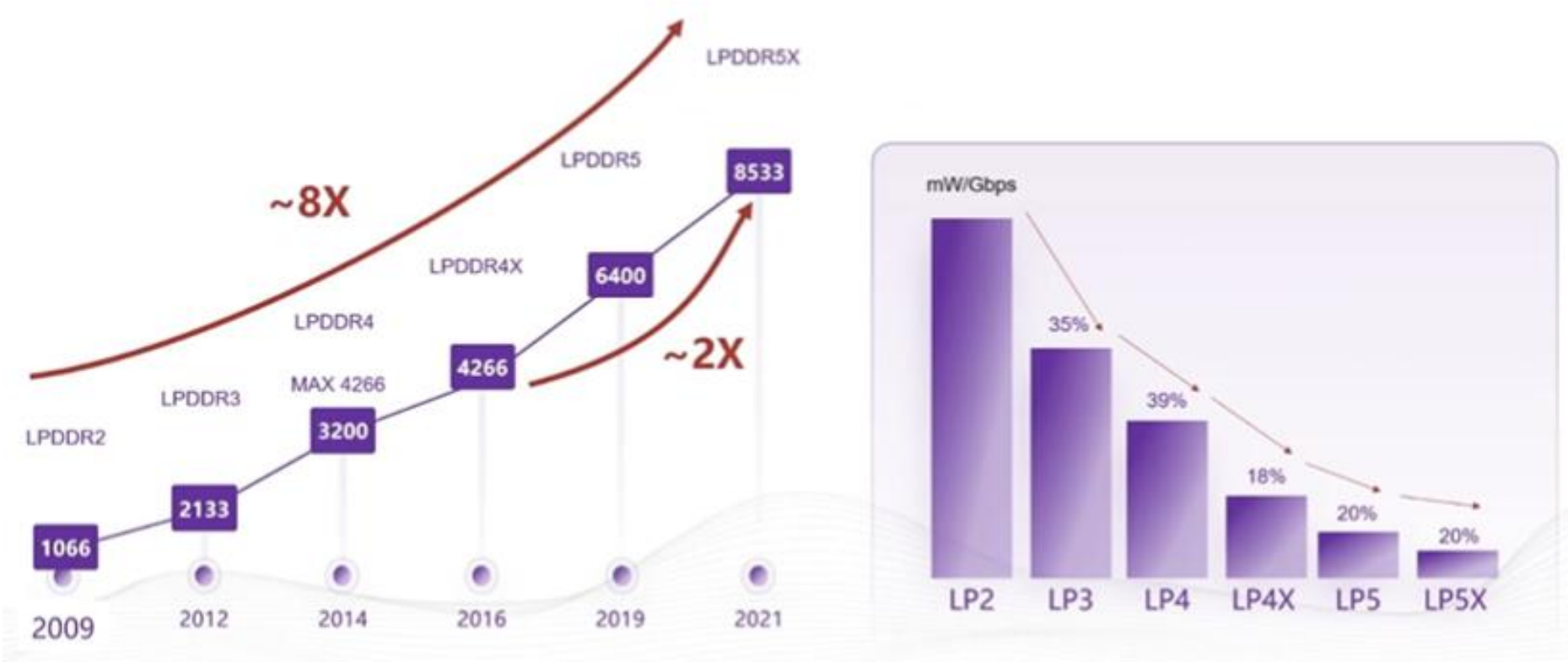
移动终端互连接口的最新演化：内存接口-LPDDR

- JEDEC，全称为“Joint Electron Device Engineering Council”，固态技术协会，为一个全球性的组织
- 所有的DDR标准、LPDDR标准、GDDR标准，及内存模组标准均是由JEDEC下属的 JC-42 Solid State Memories工作组所开发。



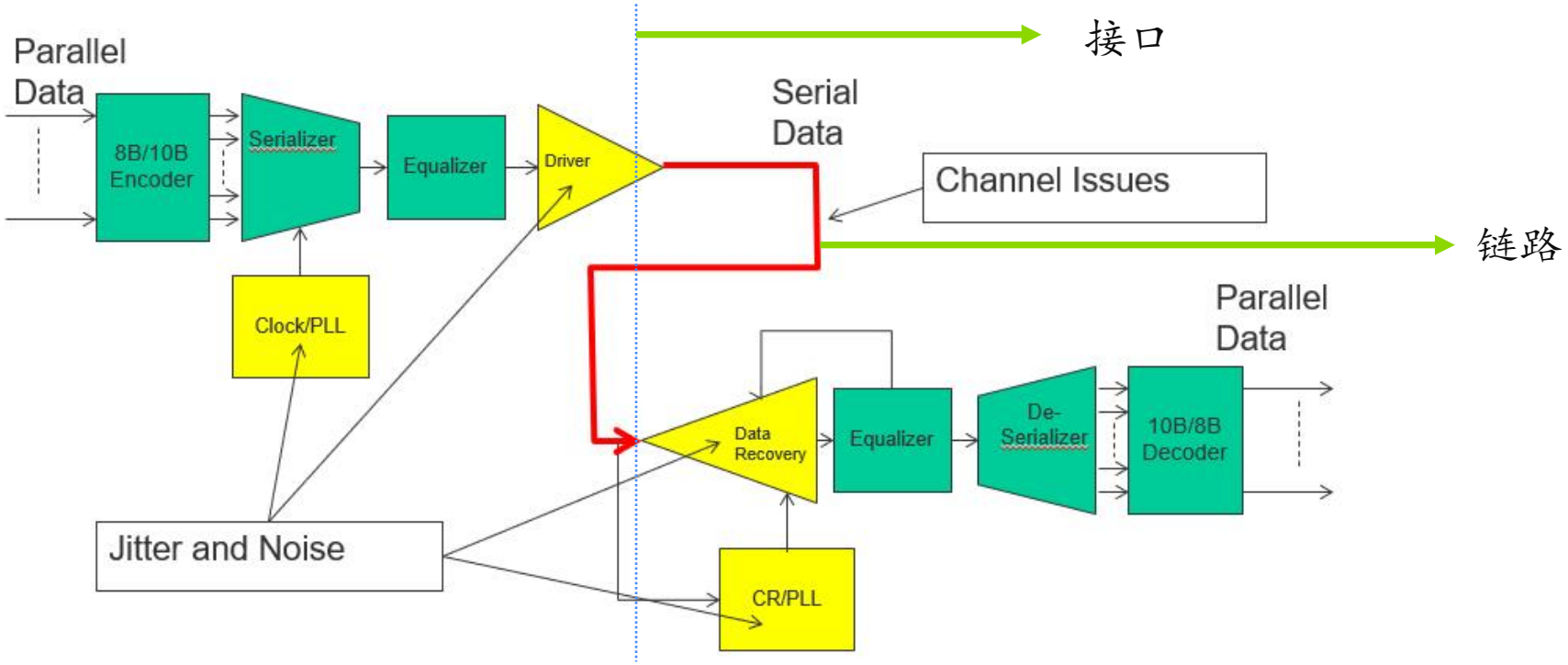
LPDDR5的接口速率达到6400Mb/s, LPDDR5X的接口速率达到8533Mb/s, LPDDR5T的接口速率达到9600Mb/s,

移动终端互连接口的最新演化：内存接口-LPDDR



代际更迭的趋势：功耗降低、速率翻倍、密度提升

移动终端互连提升的技术路径



- 从芯片侧提升信号的处理
- 缩短链路的长度，减少材料的损耗
- 采用新的调制技术：例如PAM

移动终端互连接口的未来

- 随着速率的提升，接口技术更加复杂化
- 接口技术会成为移动终端未来重要组成的一部分
- 人工智能的驱动将引领接口的发展

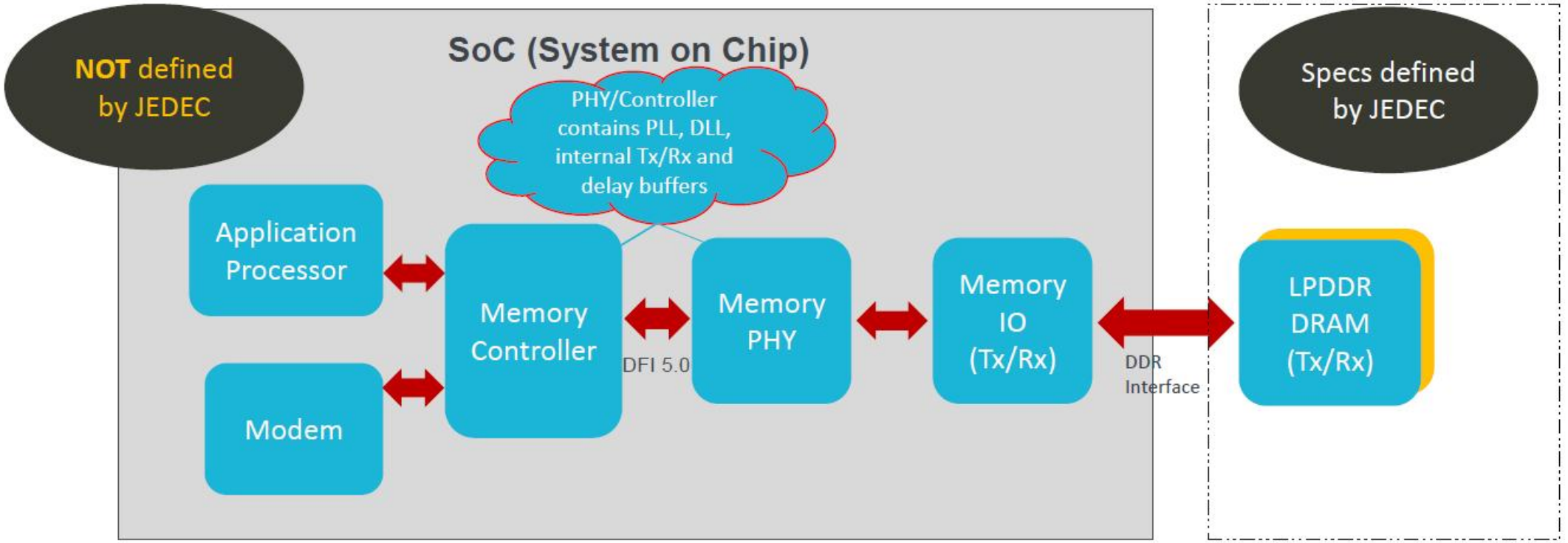
内 容

一、移动终端互连接口的演进

二、移动终端LPDDR5接口的验证

三、总结

LPDDR是什么？



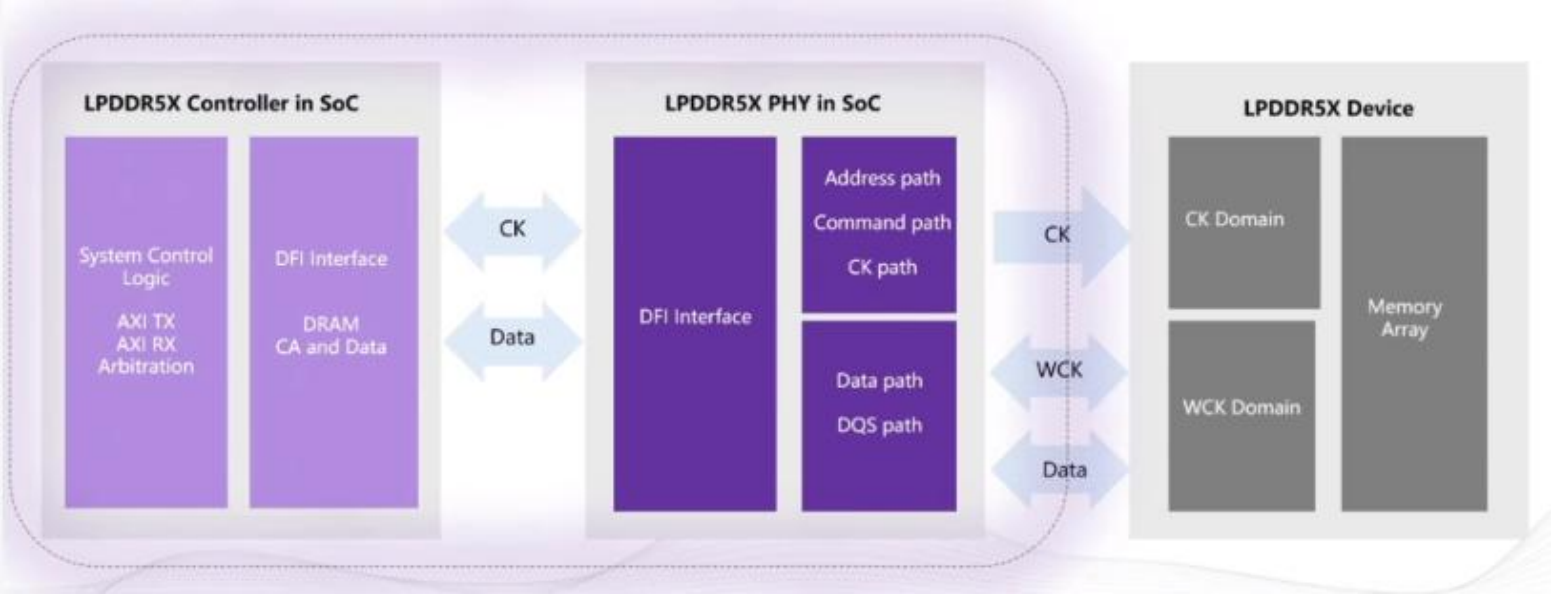
从SOC的角度来看，LPDDR是一个接口，从存储的角度来看，LPDDR通常指的就是LPDDR SDRAM

LPDDR5是什么?

Anritsu
Advancing beyond

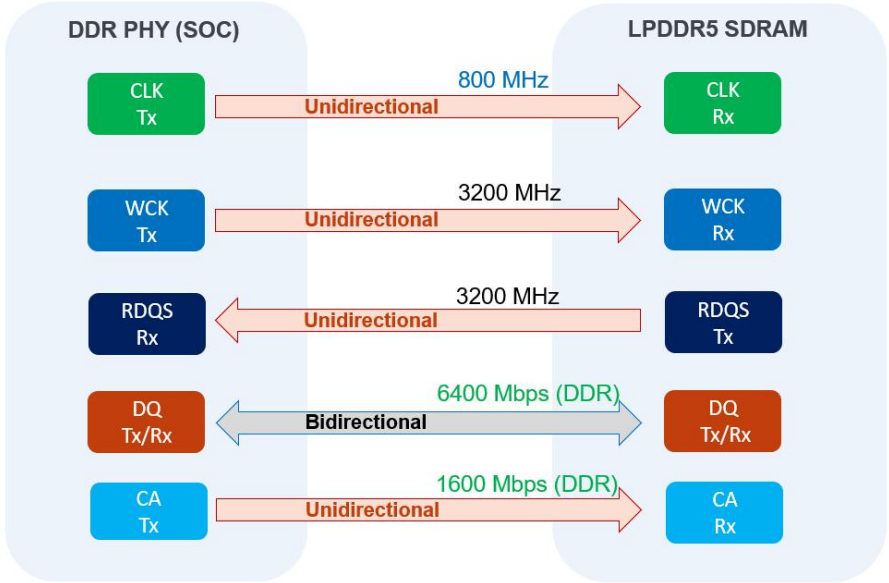
Features	LPDDR3	LPDDR4x	LPDDR5
Max Data Rate (Mbps)	2133	4266	6400
VDD2	1.2V	1.1V	Variable (1.05/0.9V)
VDDQ	1.2V	0.6V	Variable (0.5V/0.3V)
Channel Count	1	2	2
Array Pre-fetch	x8	X16	X16 / x32
Clocking	CK, DQS	CK, DQS	CK, WCK, RDQS
WCK to CK ratio	NA	NA	4:1 or 2:1
Voltage Swing	~450mV	~360mV	~250mV
CA Bus Rate	DDR	SDR	DDR
CA Pins	10 (CA0 – CA9)	6 (CA0 – CA5)	7 (CA0 – CA6)
Data Copy Feature	No	No	Yes
Frequency Set Point	Not supported	Supported (2 sets)	Supported (3 sets)
DRAM Rx Equalization	No	No	1-tap DFE (optional)
Deep Sleep Mode	No	No	Yes
Data Rx Mask	N/A	Yes. Rectangular mask	Yes Hexagonal mask

LPDDR5/5X的架构



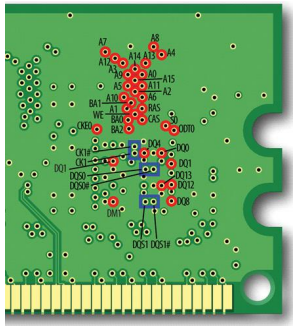
LPDDR5:

- Separate clocks for CA and Data bus.
- CLK (for CA), WCK (for WR Data) and RDQS (for Read Data)
- Synchronization required between CLK and WCK
- CLK:WCK -> 1:2 or 1:4 (CLK = Max 800 MHz)
- CLK/WCK/RDQ –Unidirectional
- CA bus is DDR, Data bus is DDR



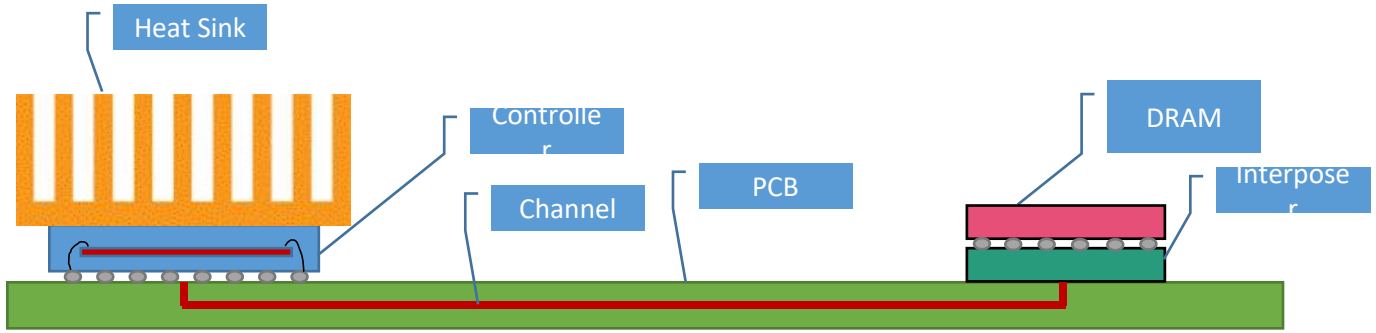
LPDDR5/5X测试的挑战

1、速率的提升，芯片工艺的提升，信号的获取带来很大的挑战，传统的点接方式不能正确的获取信号。

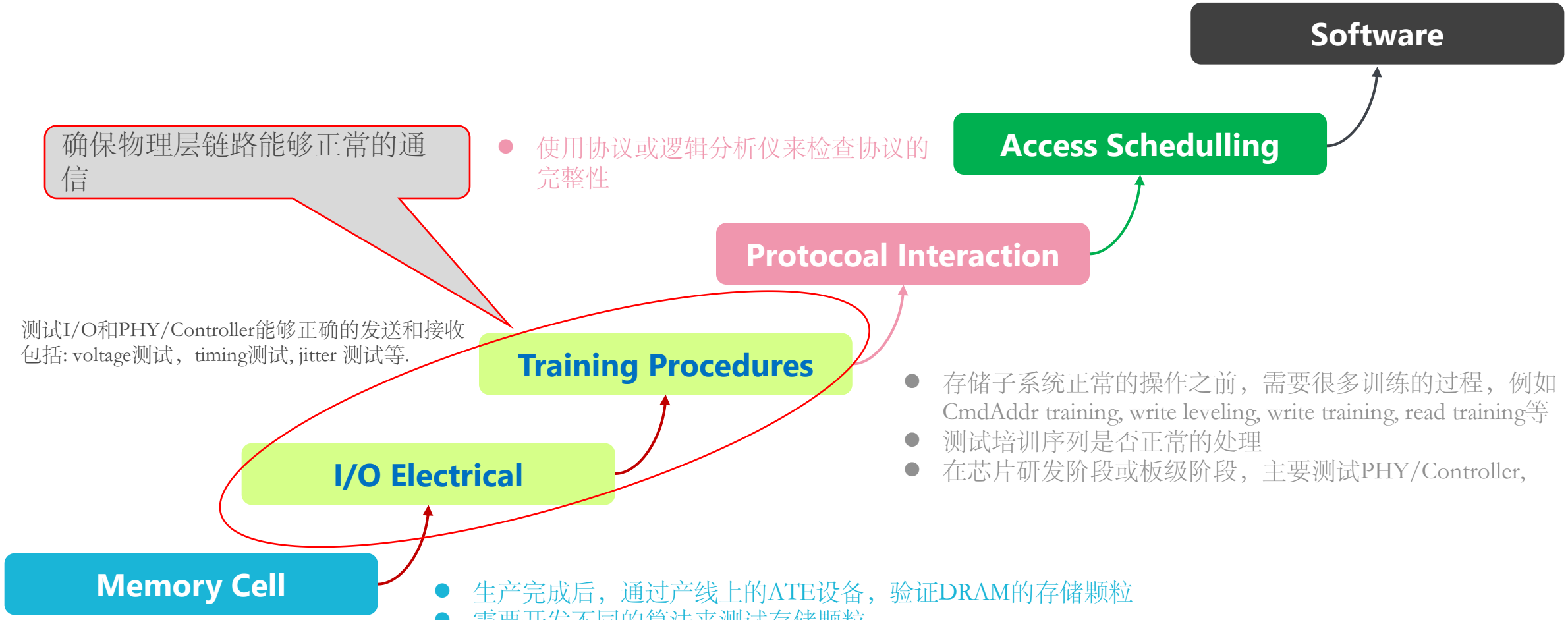


2、速率的提升，信号完整性的要求越来越高，LPDDR5X不仅发端采用了加重，收端也采用了均衡，DDR5不但Tx端需要更多的测试，也需要进行Rx端的一致性测试，未来LPDDR5/5X是否需要还有待观察。

3、移动设备更紧密的布局，测试连接受到很大的局限性，DDR的测试更多采用Interposer方式



LPDDR5/5X验证的逻辑



确保物理层链路能够正常的通信

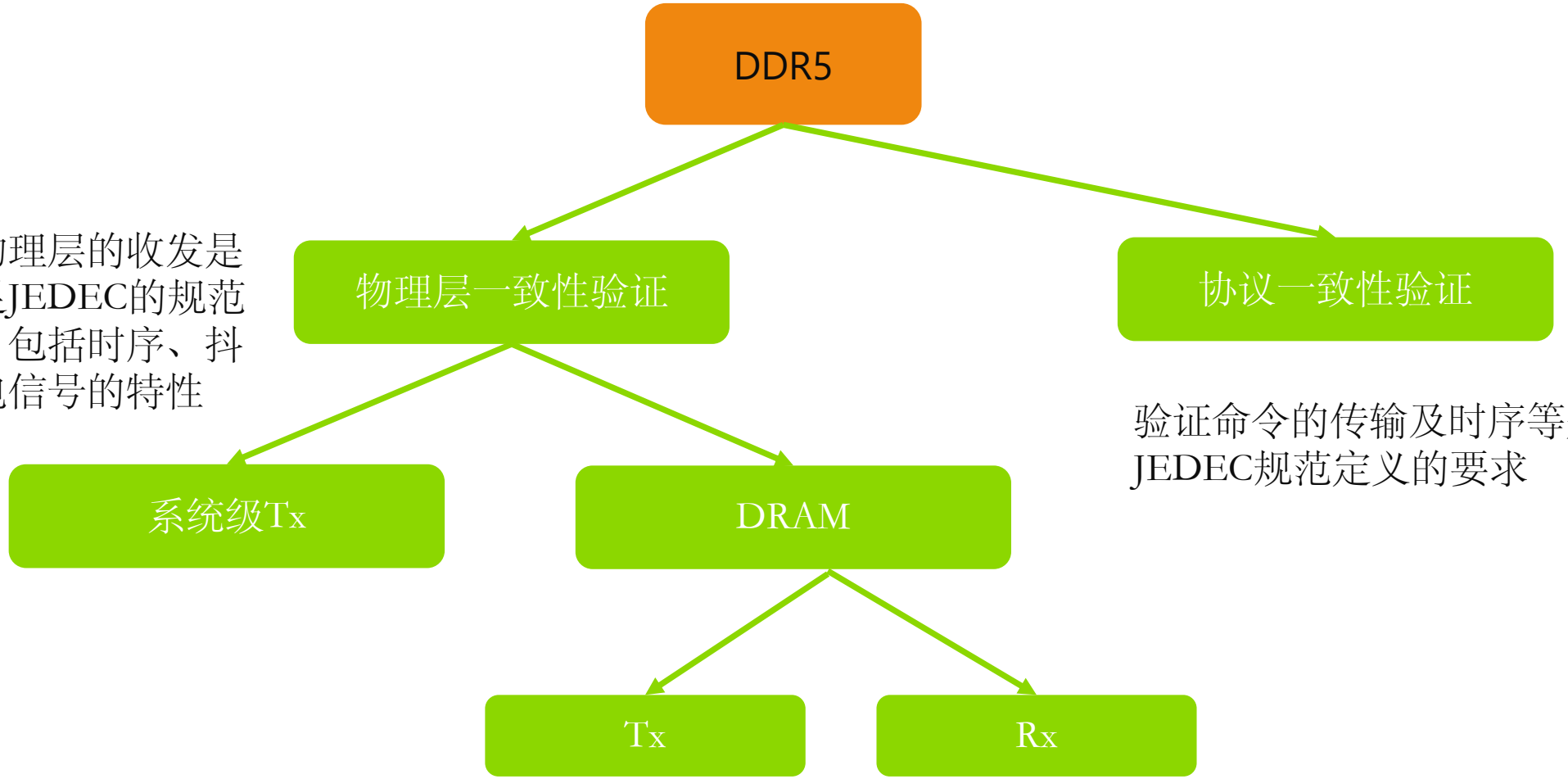
- 使用协议或逻辑分析仪来检查协议的完整性

- 测试I/O和PHY/Controller能够正确的发送和接收
- 包括: voltage测试， timing测试, jitter 测试等.

- 存储子系统正常的操作之前，需要很多训练的过程，例如CmdAddr training, write leveling, write training, read training等
- 测试培训序列是否正常的处理
- 在芯片研发阶段或板级阶段，主要测试PHY/Controller,

- 生产完成后，通过产线上的ATE设备，验证DRAM的存储颗粒
- 需要开发不同的算法来测试存储颗粒

基于DIMM的DDR5的验证内容

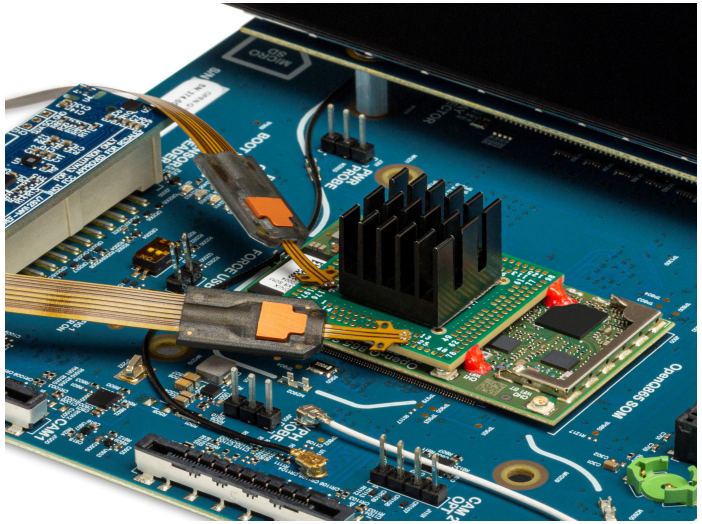


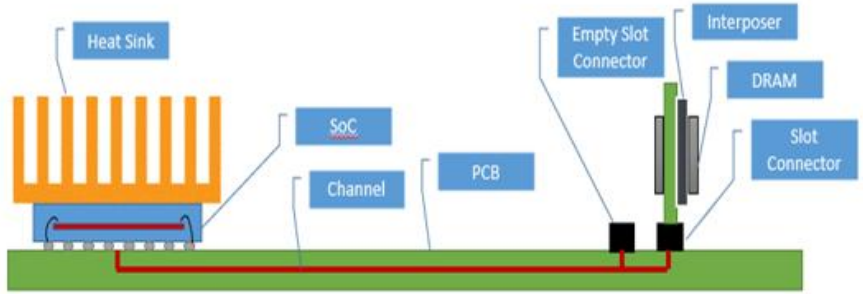
验证物理层的收发是否满足JEDEC的规范要求，包括时序、抖动和电信号的特性

验证命令的传输及时序等是否满足JEDEC规范定义的要求

DDR5系统级和物理层一致性测试的差异

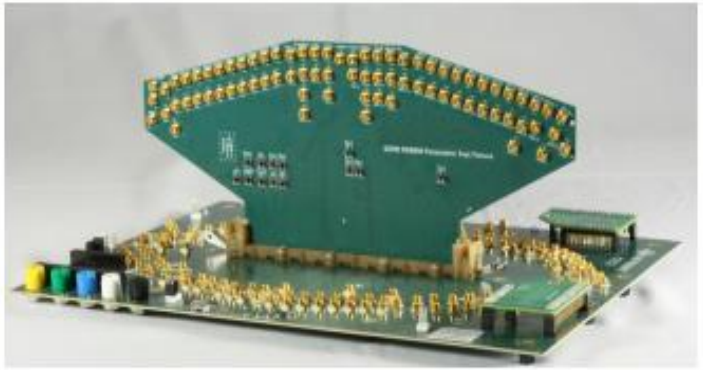
SYSTEM LEVEL TX TEST





- SOC 和DRAM/RCD/DB直接通信
- DDR总线上的双向业务
- 使用DRAM下面的SI Interposer接入信号
- 采用高阻抗的探针放大器
- 使用内置在示波器内的一致性程序或手工测量Clock jitter, Read/Write timing parameters, Data/CA eyes等相关的参数。

RX/TX COMPLIANCE TEST



- 没有SOC和系统通道，类似于PCIe的测试.
- JEDEC定义了标准的夹具 – CTC2 和PTF 板
- 通过板上的SMA连接器和线缆获取信号
- 误码仪发出DRAM/Buffers对应的信息，是能环回模式
- 测量JEDEC定义的DQS/DQ 的电压灵敏度, 压力眼等相关的内容

DDR5系统级和物理层一致性测试的差异

Anritsu
Advancing beyond

• SOC (Controller/PHY/IO)

System Level Tx:

- **Measure JEDEC defined electrical and timing parameters:**
  - Clock Jitter
  - Read timing parameters
  - Write timing parameters
  - Data Eye
  - VILH
  - Slew Rate etc
- Perform above timing measurements by changing internal parameters in Controller/PHY or IO like delay, PU/PD drive strength, ODT, pre-emphasis, etc.
- DFE analysis and characterization.

SOC DDR PHY:

- Measure skew between all DQS and it's corresponding DQ edges within a bursts or continuous signals.
- Validate and debug training sequences

SOC DDR Rx:

- Internal test plan - not governed by JEDEC.
- Expect similar test case as DRAM Rx.

DRAM/RCD/DB Compliance

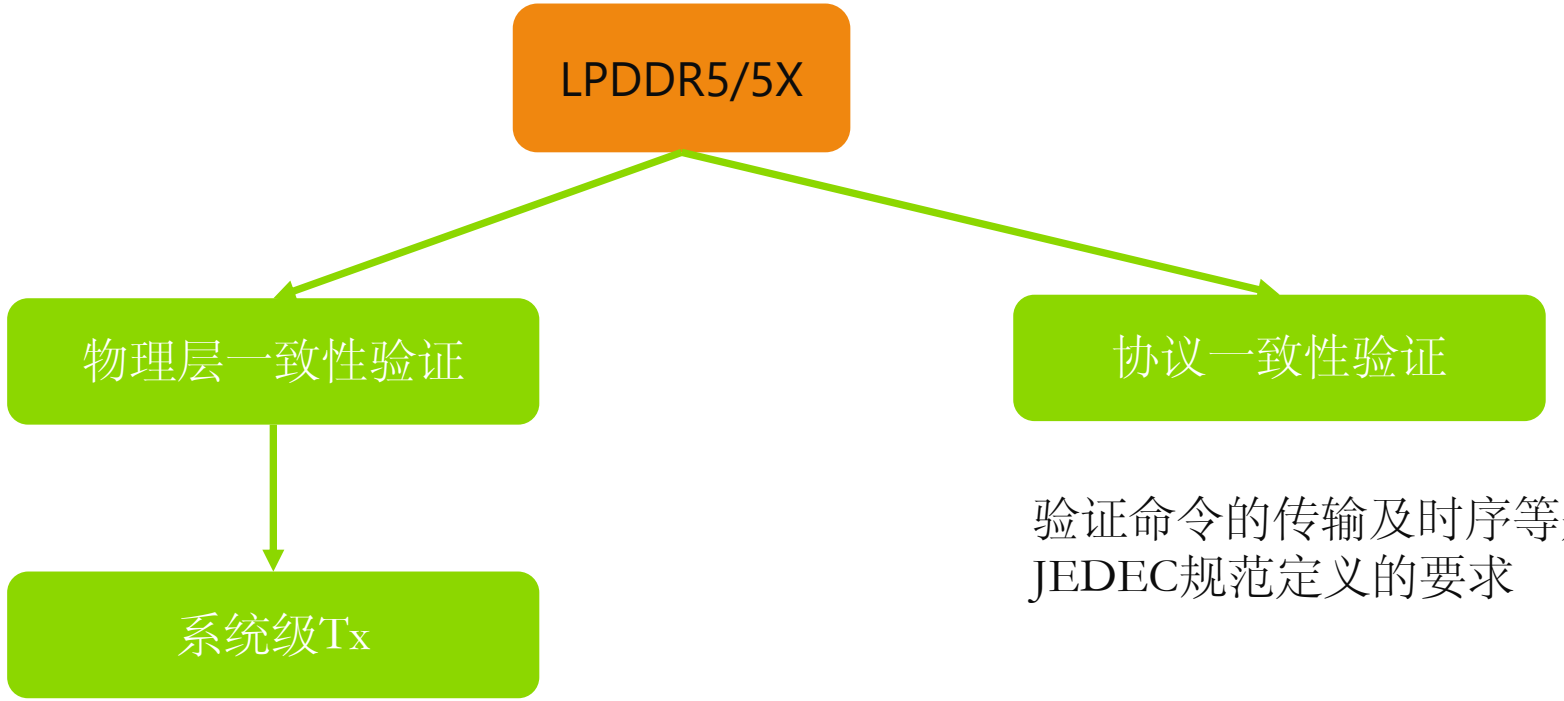
DRAM TX:

1. **Tx DQS Jitter:** Measure Rj and Dj for N-UI
2. **Tx DQ Jitter:** Measure Rj and Dj for N-UI and DQS-DQ skew (Tx_DQS2DQ)
3. **Tx DQ Stressed Eye:** Measure EH and EW specified with a skew between DQ and DQS of NUI.

DRAM RX:

1. **Rx DQS Voltage Sensitivity**
   - Measure BER Bathtub opening while decreasing DQS voltage amplitude in the absence of ISI, jitter (Rj, Dj, DCD) and crosstalk noise.
2. **Rx DQS Jitter Sensitivity Test**
   - Measure BER Bathtub opening while increasing DCD and/or Rj.
3. **Rx DQ Voltage Sensitivity**
   - Measure BER Bathtub opening while decreasing DQS voltage amplitude
4. **Rx Stressed Eye Tests**
   - Measure BER Bathtub opening while using test signal with known jitter stress cocktail and post-equalization opening

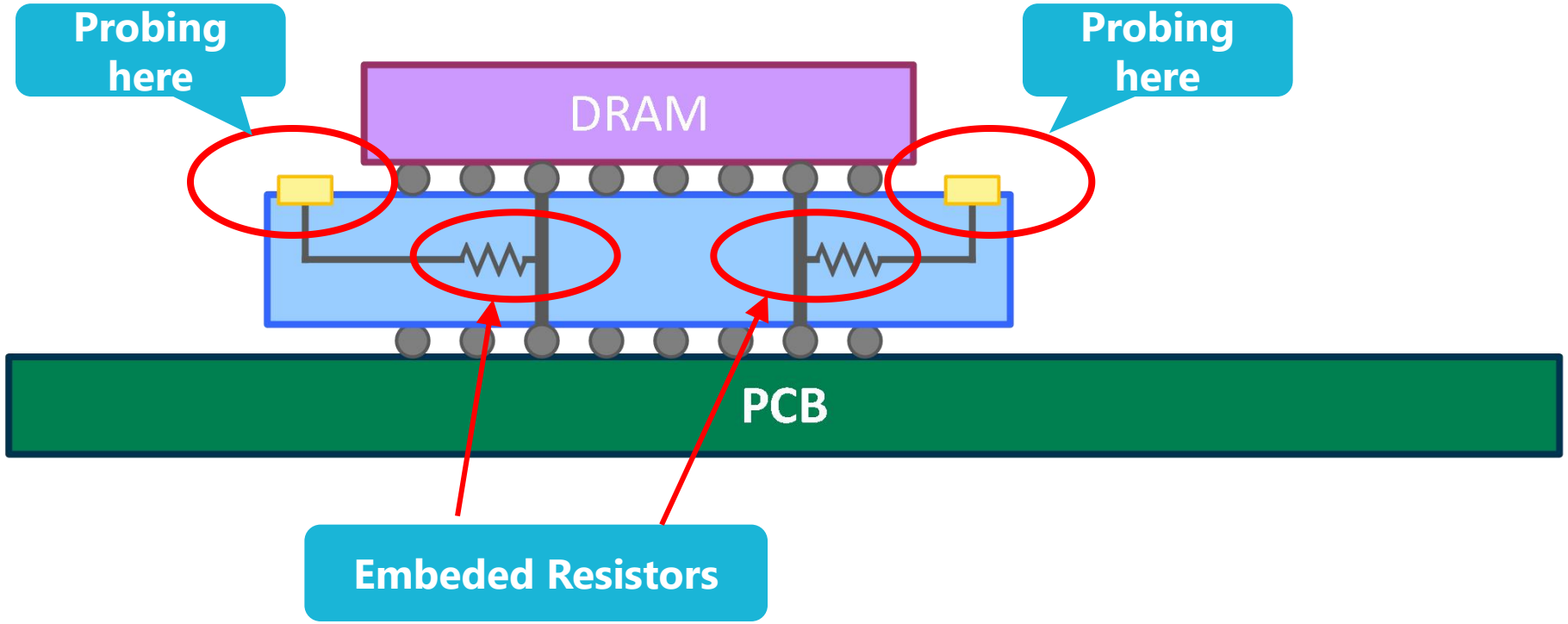
移动终端LPDDR5/5X需要验证的内容



验证物理层的收发是否满足JEDEC的规范要求，包括时序和电信号的特性

验证命令的传输及时序等是否满足JEDEC规范定义的要求

- Interposer的原理

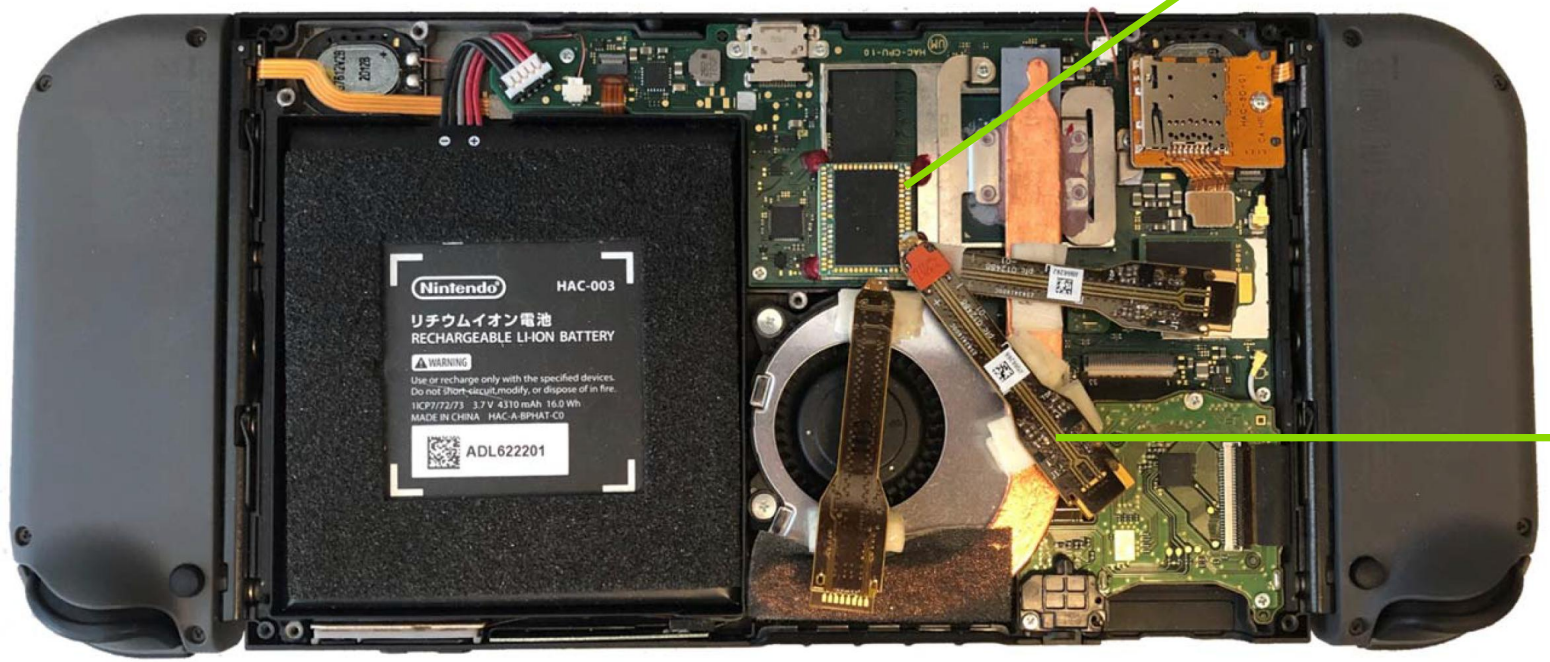


Embedded resistor provides isolation of the probe loading and the live signal

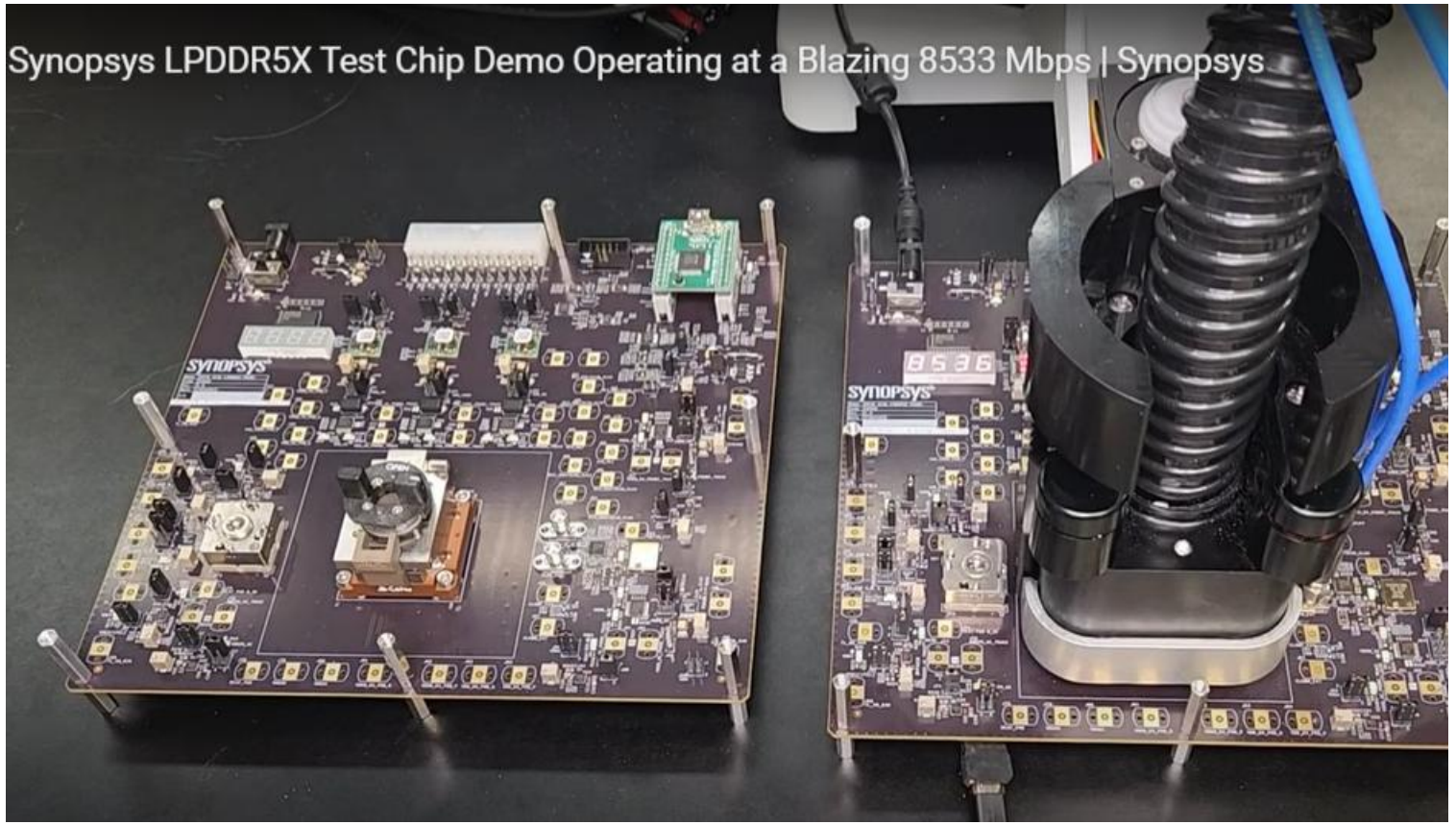
LPDDR5验证信号的获取： Probing with Interposer

Anritsu
Advancing beyond

Direct attach interposer



移动终端LPDDR5验证信号的获取： Socket



移动终端LPDDR5 Tx验证所需要的设备

HARDWARE

SMA Adapter

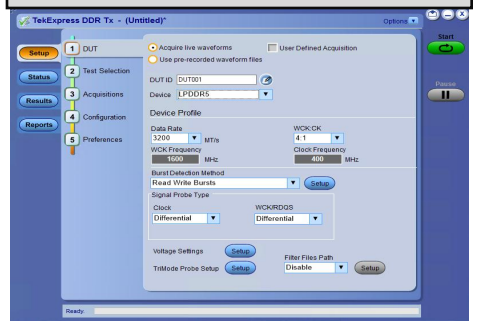
Best-in-Class Browser

Solder-in Tips

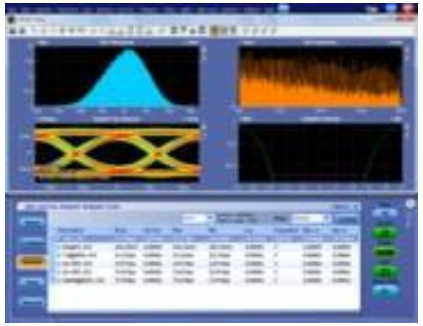
SOFTWARE

API

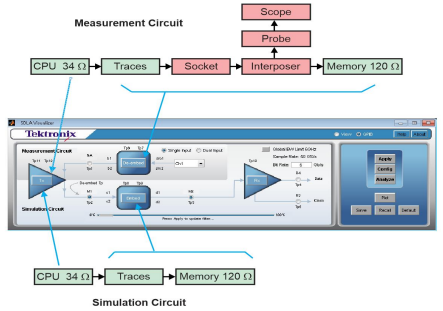
DDR5 TEKEXPRESS



DPOJET



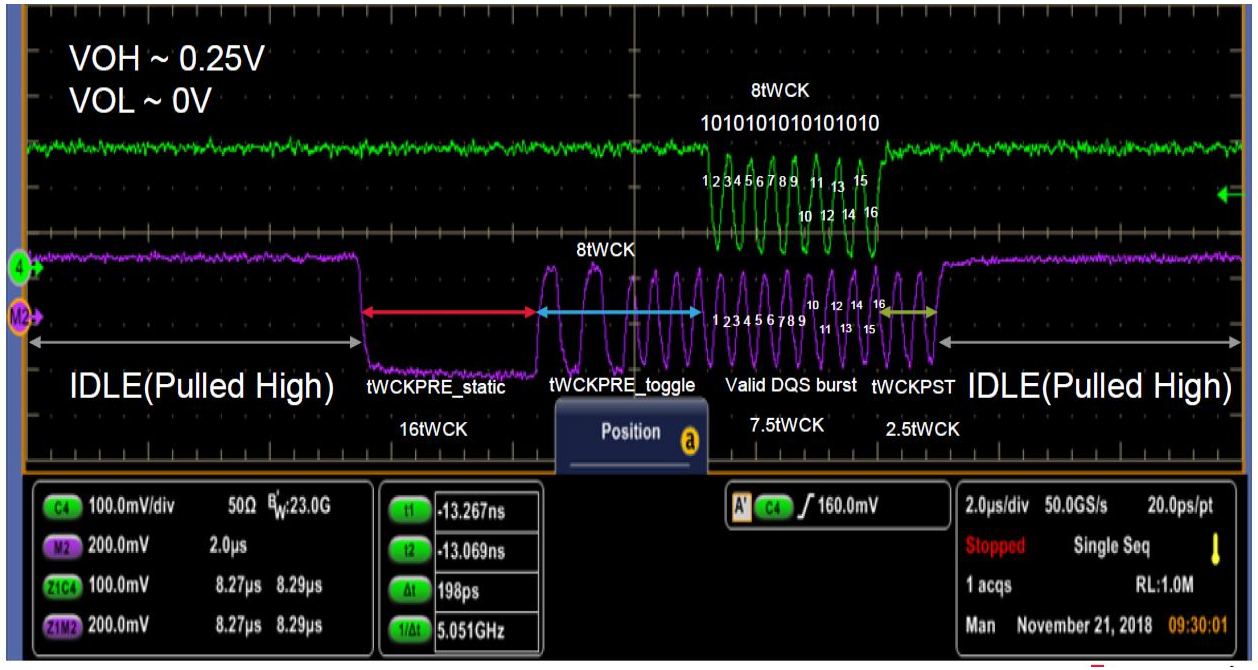
SDLA



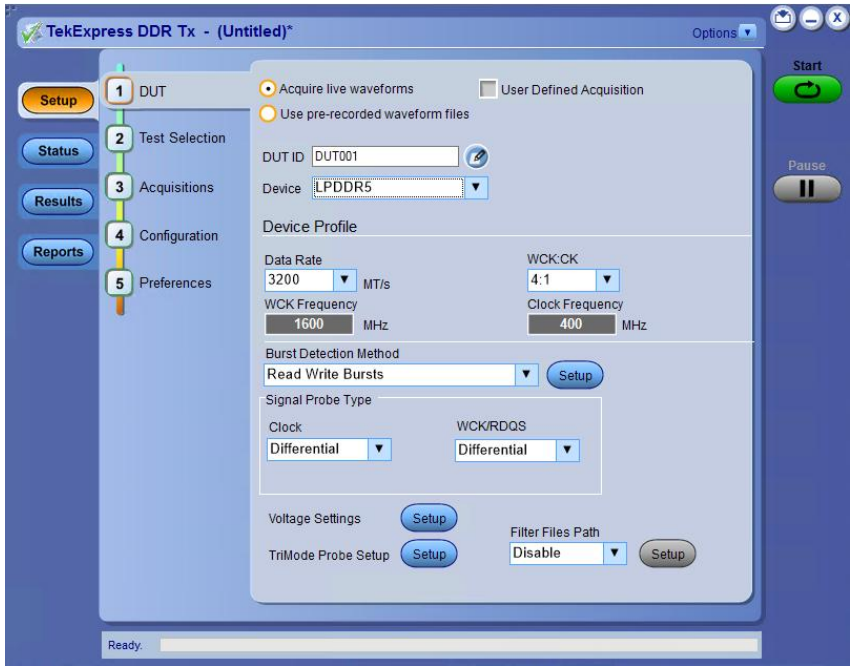
VISUAL TRIGGER

移动终端LPDDR5/5X信号的分析

LPDDR5波形的分析



LPDDR5/5X Tx的自动化测试



移动终端LPDDR5 Tx 系统验证测试的项目

Anritsu
Advancing beyond

JEDEC Electrical and Timing Measurements

CLOCK

Test Group	Test Name	Description
Clock Tests	tCK(avg)	Average clock period
	tCK(abs)	Absolute clock period
	tCH(avg)	Average High pulse width
	tCL(avg)	Average Low pulse width
	tCH(abs)	Absolute High clock pulse width
	tCL(abs)	Absolute Low clock pulse width
	tjit(CC)	Maximum Clock Jitter between consecutive cycles
	tjit(per)	Clock period jitter

WRITE CLOCK (WCK)

Test Group	Test Name	Description
Write Clock Tests	tWCK(avg)	Average Write Clock period
	tWCK(abs)	Absolute Write Clock period
	tWCKH(avg)	Average High pulse width
	tWCKL(avg)	Average Low pulse width
	tWCKH(abs)	Absolute High Write Clock pulse width
	tWCKL(abs)	Absolute Low Write Clock pulse width
	tjit(CC)	Maximum Write Clock Jitter between consecutive cycles
	tjit(per)	Write Clock period jitter
	tERR(2per)	Cumulative error across 2 cycles
	tERR(3per)	Cumulative error across 3 cycles
	tERR(4per)	Cumulative error across 4 cycles

VOLTAGE CROSSOVER

Test Group	Test Name	Description
VIX	VIX_CK_Ratio	Clock Differential input crosspoint voltage ratio
	VIX_WCK_Ratio	WCK Differential input crosspoint voltage ratio

移动终端LPDDR5 Tx 系统验证测试的项目

Anritsu
Advancing beyond

JEDEC Electrical and Timing Measurements

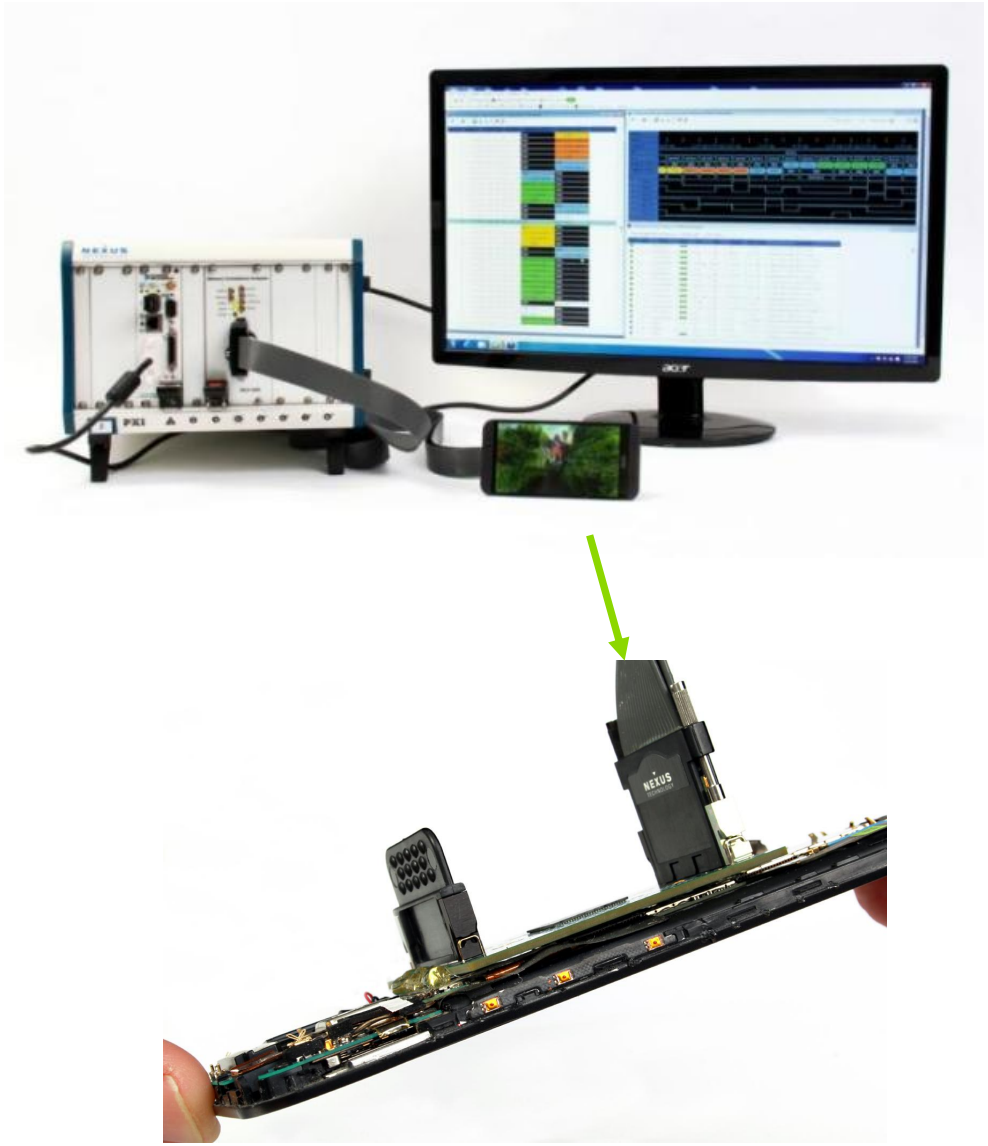
CA/CS RX MASK

Test Group	Test Name	Description
CS Rx Specification	tCSIVW1	CS Rx mask width at VrefCS
	tCSIVW2	CS Rx mask width at vCSIVW
	vCSIVW	CS Rx mask height
	tCSIPW	CS Rx pulse width
	vCSIHL_AC	CS Rx pulse amplitude
CA Rx Specification	tCIVW1	CA Rx mask width at TBD
	tCIVW2	CA Rx mask width at vCIVW
	vCIVW	CA Rx mask height
	tCIPW	CA Rx pulse width
	vCIHL_AC	CA Rx pulse amplitude
	tCA2CA	CA to CA offset

WRITE & READ TIMING

Test Group	Test Name	Description
DQ Rx Voltage and Timing [Write Burst]	tDIVW1	DQ Rx mask width margin at TBD
	tDIVW2	DQ Rx mask width margin at vDIVW
	vDIVW	DQ Rx mask height margin
	tDIPW	DQ Rx pulse width
	tDIHL	DQ Rx pulse width above/below vDIVW
	VDIHL_AC	DQ Rx pulse amplitude
	tWCK2DQI_HF	DQ to WCK input offset
RDQS Timing Parameters [Read Burst]	tRPRE	READ preamble
	tRPST	READ postamble
	tDQSQ	RDQS-DQ skew
Delta CK and DQS specification	tQSH - Read	RDQS_t, RDQS_c differential output high time
	tQSL - Read	RDQS_t, RDQS_c differential output low time
	tWCK2CK - Write	WCK to CK phase offset
Read DQ Eye	tQW	DQ Read eye

移动终端LPDDR5/5X协议层验证



LPDDR5/5X 协议一致性分析：

逻辑（命令交互）验证 和对时序冗余的分析等 ，确保目标待测件满足JEDEC的规范要求，同时可以分析捕获引起触发错误的总线周期。

包括协议的捕获、协议的自动化分析和实时的统计分析。

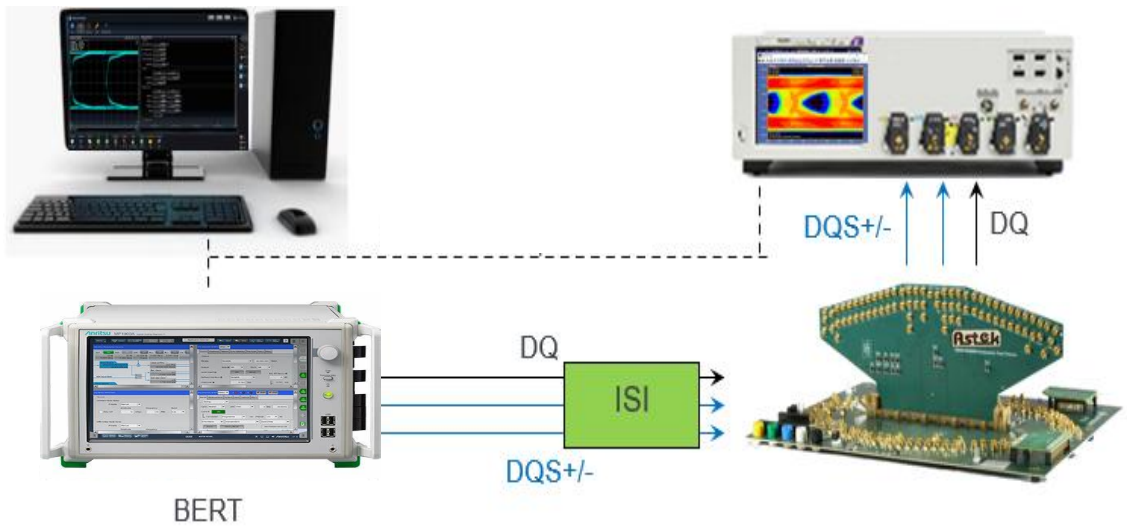
DDR5除了系统级的测试之外，还会对内存颗粒进行Tx/Rx进行一致性的测试，对于LPDDR5/5X以及未来更高版本的LPDDR, 是不是也需要导入一致性测试。

当然DDR5和LPDDR5的工作环境不同，其所对应的测试也会不同，但速率的提升必然还会对未来的测试带来更多的要求和挑战。

Anritsu
Advancing beyond

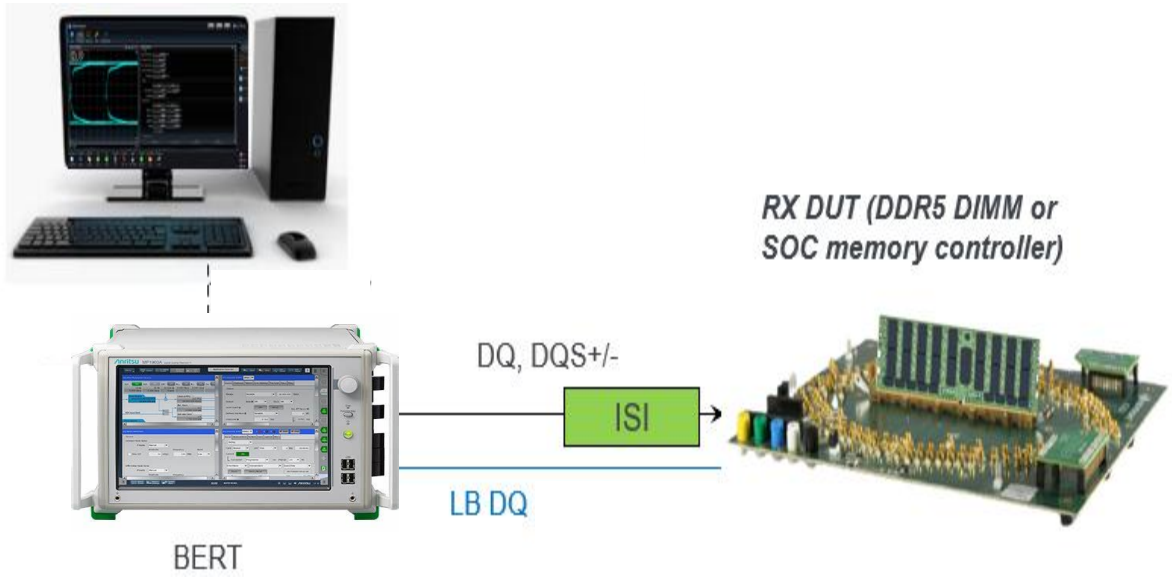
DDR5 Rx 压力测试

• Rx 压力眼图校准



- Anritsu的误码仪MP1900A集成Tektronix的示波器进行压力的信号的自动化校准
- 需要解嵌S参数的的模型

• Rx 压力眼测试



- Anritsu的误码仪MP1900A 提供连续的DQS+/-, 和DQ 到DUT (DIMM 或内存控制器)
- DUT 环回½ 或¼ DQ 到误码的检测器进行误码测试

Tx/Rx的物理层的一致性测试对于LPDDR在面临更高的信号完整性挑战时也许会是一种选择，尽管合适的夹具以及S参数模型的提取会带来一定的挑战

内 容

一、移动终端互连接口的演进

二、移动终端LPDDR5接口的验证

三、总结

总结

一、随着视频、AI的需求，移动终端的接口在不断朝向低功耗、高速率、低时延演化，接口将在未来终端中扮演着重要的环节。

二、DDR5测试本身就比较复杂，但LPDDR5由于空间以及布局的限制，信号获取面临更多信号完整性挑战。

三、LPDDR5不但面临着更多的测试项目的挑战，未来是否颗粒进行Tx/Rx端的一致性测试也需要考量

高速接口与技术发展论坛


Anritsu
Advancing beyond