

团 体 标 准

T/CESA 1248—2023

小芯片接口总线技术要求

Technical requirements for chiplet interface bus

2023-01-13 发布

2023-02-13 实施

中国电子工业标准化技术协会 发布



版权保护文件

版权所有归属于该标准的发布机构，除非有其他规定，否则未经许可，此发行物及其章节不得以其他形式或任何手段进行复制、再版或使用，包括电子版，影印件，或发布在互联网及内部网络等。使用许可可于发布机构获取。

目 次

前言.....	IV
1 范围.....	1
2 规范性引用文件.....	1
3 术语和定义.....	1
4 概述.....	3
4.1 技术背景.....	3
4.2 应用场景.....	3
4.3 接口技术种类.....	4
4.4 体系架构.....	4
4.5 配置种类.....	5
4.6 关键性能指标.....	5
5 接口.....	7
5.1 物理层接口.....	7
5.2 适配层信号.....	7
5.3 链路层信号.....	10
6 协议层.....	14
6.1 概述.....	14
6.2 自定义模式.....	14
6.3 PCIe.....	15
6.4 256 字节 Flit 模式用于 CXL3.0.....	15
6.5 70 字节 Flit 模式用于 CXL2.0.....	16
7 链路层.....	17
7.1 概述.....	17
7.2 协议 Flit 包.....	17
7.3 全数据 Flit 包.....	18
8 适配层.....	18
8.1 Flit 结构.....	18
8.2 Flit ID 结构.....	19
8.3 DLLP 数据.....	20
8.4 数据的检错保护.....	20
8.5 数据流分布.....	22
9 物理层.....	23
9.1 概述.....	23
9.2 物理编码子层.....	23

9.3 物理媒体附加子层.....	25
9.4 概述.....	32
9.5 常规封装.....	32
9.6 先进封装.....	36
10 可测性.....	42
10.1 可编程测试码型生成器和检查器.....	42

前 言

本文件按照GB/T 1.1-2020《标准化工作导则 第1部分：标准化文件的结构和起草规则》的规定起草。

请注意本文件的某些内容可能涉及专利。本文件的发布机构不承担识别专利的责任。

本文件由中国电子技术标准化研究院提出。

本文件由中国电子技术标准化研究院和中国电子工业标准化技术协会归口。

本文件起草单位：中国电子技术标准化研究院、无锡芯光互连技术研究院有限公司、无锡芯光集成电路互连技术产业服务中心、中国科学院计算技术研究所、芯耀辉科技有限公司、海光信息技术股份有限公司、山东云海国创云计算装备产业创新中心有限公司、无锡众星微系统技术有限公司、芯动科技（珠海）有限公司、苏州锐杰微科技集团有限公司、牛芯半导体（深圳）有限公司、宁波德图科技有限公司。

本文件主要起草人：郝沁汾、李永耀、彭弘瑞、彭一弘、展永政、曹江城、方刘禄、吴止境、林江、程永波、曾令刚、吕佳杰、金伟强、何鑫、蒲菠、孔宪伟、任翔、尹航、刘军、赵明、李仁刚。

小芯片接口总线技术要求

1 范围

本文件规定了小芯片（chiplet）接口总线技术的应用场景、体系架构、接口要求、协议层、链路层、适配层、物理层、物理封装要求和可测性要求。

本文件适用于CPU、GPU、人工智能芯片、网络处理器和网络交换芯片等，也可以适用于其他适用小芯片接口技术的芯片。

2 规范性引用文件

本文件没有规范性引用文件。

3 术语和定义

下列术语和定义适用于本文件。

3.1

小芯片 Chiplet

单独投片，并最终通过互连协议与先进封装技术组成完整功能芯片的功能部件。

3.2

双倍数据率 Double Data Rate; DDR

指数据在系统时钟的上升沿和下降沿各传输一次数据。

3.3

比特误码率 Bit Error Rate; BER

单比特时间内差错比特的数量。

3.4

物理层 Physical Layer; PHY

在协议中负责实现物理功能如编码、电气等的层次。

3.5

数据链路层 Data Link Layer; DLL

在协议中负责接收或发送上层协议数据，并将协议信号封装成包格式，完成发送或接收的层次。

3.6

数据链路层报文 Data Link Layer Packet; DLLP

由发送端的数据链路层发送，接收端的数据链路层接收的数据包。

3.7

最小流控单位 Flow control unit; Flit

一种最小流控单位，一个数据包可以由一个或多个最小流控单位组成。

3.8

发射单元 Transmitter; TX
通信发送单元。

3.9

接收单元 Receiver; RX
通信接收单元。

3.10

串行与解串器 Serializer and Deserializer; SerDes

在发送端多路低速并行信号被转换成高速串行信号，经过传输媒体（光缆或铜线），最后在接收端将高速串行信号重新转换成低速并行信号的一种通信技术。

3.11

极短距离 eXtra Short Reach; XSR
距离小于等于50毫米的信号互连距离。

3.12

甚短距离 Ultra Short Reach; USR
距离小于等于10毫米的信号互连距离。

3.13

时钟数据恢复 Clock Data Recovery; CDR

从接收到的信号中提取出数据序列，并且恢复出与数据序列相对应的时钟时序信号，从而还原接收到的具体信息的一种通信技术。

3.14

扩展频谱时钟 Spread Spectrum Clocking; SSC

对时钟信号进行频率调制从而抑制系统电磁干扰的一种有效方法。

3.15

连续时间线性均衡器 Continuous Time Linear Equalizer; CTLE

一种当高速数字信号通过有损通道传输时接收端采用提高信号的高频分量比例以补偿高频通道损耗的补偿方式。

3.16

判决反馈均衡器 Decision Feedback Equalization; DFE

一种利用前面bit判决后的信息对后面bit的高频分量进行增强、低频分量进行衰减从而达到减少码间干扰的效果的反馈补偿方式。

3.17

前向均衡 Feed Forward Equalization; FFE

一种使用线性高通滤波器提高信号的高频分量以实现信道的补偿的反馈补偿方式。

3.18

多芯片模块 Multi-Chip Module; MCM

一种将多个裸芯片和其它元器件组装在同一块多层互连基板上的封装方式。

3.19

再分发层 Re-Distributed Layer; RDL

在晶圆表面沉积金属层和介质层并形成相应的金属布线图形，可对芯片的I/O端口进行重新布局，将其布置到新的、节距占位可更为宽松的区域。

3.20

系统级封装 System In a Package; SIP

将多种功能芯片（包括处理器、存储器等）集成在一起以实现一个基本完整功能的封装方式。

3.21

硅转接板 Silicon Interposer

焊锡球和芯片之间的导电层，可扩大连接面，使连接改线。

3.22

鳍式场效应晶体管 Fin field-effect transistor; FinFet

一种新的互补式金氧半导体晶体管结构，命名根据晶体管的形状与鱼鳍的相似性。

3.24

静电释放 Electro-Static Discharge; ESD

通常指用于防护静电的电路。

3.25

人体模型 Human Body Model; HBM

带电人体的放电模式。

3.26

带电器件模型 Charged-Device Model; CDM

充电器件的放电模型。

4 概述

4.1 技术背景

基于小芯片接口总线的芯片设计技术是一种构建更复杂芯片系统的新技术，本文件描述了小芯片接口总线技术的应用场景、体系结构、互连特性、信号管理等部分内容。

小芯片接口总线技术用于互连安装在信号距离小于等于50毫米的封装内的多个小芯片。考虑到不同的应用需求，一般又分为极短距离和甚短距离两种不同的最大互连距离。小芯片接口总线技术不用于连接到外部封装引脚。

本文件是一种物理互连标准，包括物理层和物理适配层、链路层。其他协议层和应用层在该物理互连标准接口之上实现。

4.2 应用场景

本文件所适用的场景见图1。

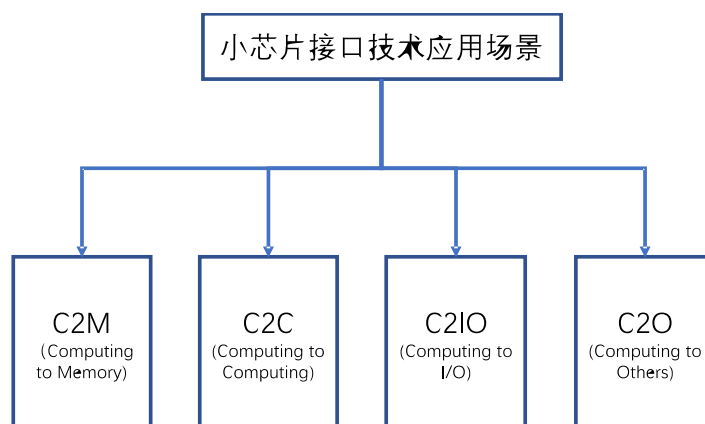


图1 小芯片接口技术应用场景种类

C2M场景是指一个用于计算用途的小芯片和一个用于存储的小芯片通过小芯片接口总线实现相连。

C2C场景是指二个用于计算用途的小芯片通过小芯片接口总线实现相连。可能有两种连接方式，一种是小芯片具有并行单端信号接口，这种场景通常见于CPU中的多个计算小芯片互连。另外一种方式是计算小芯片通过串行差分信号相连，这种场景通常在多个人工智能(Artificial Intelligence, AI)芯片、数据通信如交换芯片等通过小芯片技术进行性能扩展时遇到。

C2IO场景是指一个或者多个用于计算用途的小芯片，通过小芯片接口总线与一个用于I/O功能的小芯片相连。这种场景通常见于CPU中的多个计算小芯片和I/O小芯片互连，以及交换芯片中一个交换核心小芯片和多个SerDes小芯片互连。

C2O场景是除了以上场景之外，计算小芯片通过小芯片接口总线与其他功能用途的小芯片相连，如在手机芯片中的信号处理、基带单元等。

4.3 接口技术种类

接口技术种类主要包括并行总线接口技术、差分串行总线接口技术二种，本文件针对总线接口技术、差分串行总线接口技术两种接口技术进行了相关规定内容的阐述。

为了实现多个互连的小芯片封装在同一个芯片内，本文件采用直流(Direct Current, DC)耦合方式以物理层IP和封装基板实现复杂度，目标误码率为 $1E^{-15}$ 。如有需要时，采用低延时的扰码技术提供合理的信号跳变沿，以此保证接收端时钟数据恢复的正常工作。

考虑到上层业务的多样性，TX和RX两个方向采用对称设计，以支持更广泛的应用场景。

本文件仅规定接口物理特性指标，并简单规定接口相关测试要求，后续将在其他文件中进一步讨论可测试性要求。另外，带外管理功能的定义暂时不在本文件的范围内。

4.4 体系架构

小芯片接口总线技术的体系架构见图2，主要包括数据链路层(Data Link Layer, DLL)、物理适配层(Physical Adaptation Layer, PAL)和物理层(Physical Layer, PHY)等，后面将不加区别使用中文或英文缩写概念。

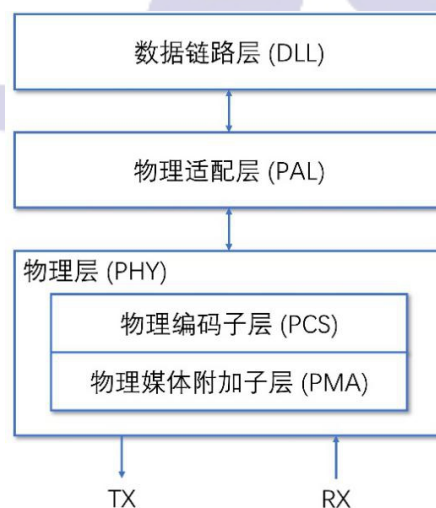


图2 标准内容体系结构图

数据链路层提供了物理层的初始化(Initialization)、事件管理(Event management)、信息交换的状态机(State machines)以及缓冲机制(Buffering)等功能。

适配层定义了上层协议适配到物理层所需要的一些接口转换,实现通道特性和信号特性的转换等功能,起到承上启下的作用。

物理层定义了端口物理连接和数据发送/接收所需要的电信号、线路状态、时钟基准、数据编码和电路等电气特性。包含物理编码子层(Physical Coding Sublayer, PCS)和物理媒体附加(Physical Media Additional, PMA)子层等。

PCS子层负责把数据比特编成适合互连信道传输的码组。

PMA子层负责发送、接收、定时恢复、信道阻抗匹配和相位对准功能。

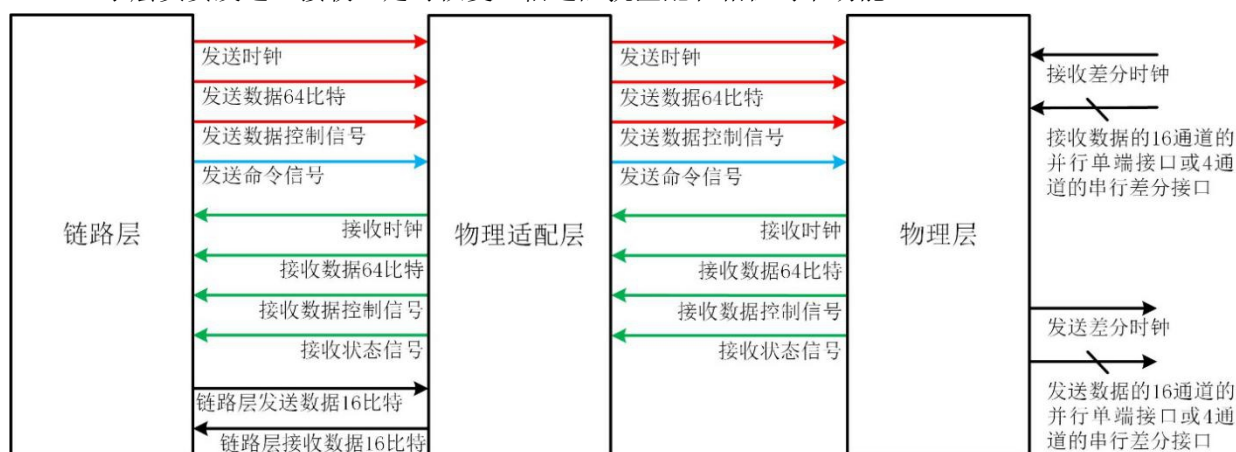


图3 小芯片接口总线基本配置单元的逻辑接口框图

小芯片接口总线的逻辑接口框图见图3,其中,红色(上)和绿色(下)代表PAL的发射信号和接收信号,蓝色(中)代表PHY层控制信号。图3中的发射和接收信号为基本配置单元模式。

PHY层信道接口类型不同,PHY层的发射信号和接收信号也有所不同。当PHY层采用并行总线接口时,发射信号和接收信号分别为16通道的发送数据端口TXDQ[15:0]和16通道的接收数据端口RXDQ[15:0],速率选择为2GT/s, 4GT/s, 6GT/s, 8GT/s, 12GT/s, 16GT/s。当PHY层采用差分串行总线接口,发射信号和接收信号分别为TXP[3:0]、TXN[3:0]和RXP[3:0]、RXN[3:0],速率选择为2GT/s, 4GT/s, 6GT/s, 8GT/s, 12GT/s, 16GT/s, 20GT/s, 24GT/s, 28GT/s, 32GT/s。接口种类与速率的对应关系见表1。

表1 速率与接口种类对应配置表¹

接口种类	速率(GT/s)	128GT/s 典型配置组合
并行总线	2, 4, 6, 8, 12, 16	8 GT/s * 16
差分串行总线	2, 4, 6, 8, 12, 16, 20, 24, 28, 32	32 GT/s * 4

4.5 配置种类

允许存在多种配置以支持不同的带宽需求。其中,基本配置单元为满足标准的最小粒度功能配置单元,见图3,其他的配置是基于基本配置单元的模块化组合,最多可以支持到8个基本配置单元组合在一起汇聚成更大带宽的链路带宽。

4.6 关键性能指标

1) ¹ 当由于信号速率较低,即使在基本配置单元的位宽情况下难以达到128GT/s的单向带宽时,可以采用2个以上基本配置单元。

本节描述了单端和差分接口的关键性能指标。相关指标的物理要求如下：

- 1) 带宽线密度以×16为例，标准封装凸点间距为150μm，先进封装凸点间距为55μm；
- 2) 能效包括了所有物理层相关的电路功耗；
- 3) 延时时间包括了适配层和物理层，从TX到RX环回的延时时间；
- 4) 误码率包括TX和RX的误码率。

单端和差分接口的关键性能指标见表2、表3。

表2 单端接口的关键性能指标

性能	条件	先进封装	标准封装	单位
带宽线密度	2 GT/s	537.48	85.33	GT/s/mm
	4 GT/s	1075	170.67	GT/s/mm
	6 GT/s	1612.4	256	GT/s/mm
	8 GT/s	2150	341.33	GT/s/mm
	12 GT/s	3224.8	512	GT/s/mm
	16 GT/s	4300	682.67	GT/s/mm
能效	≤12 GT/s	1	1.25	pJ/bit
	≥16 GT/s	0.75	1	pJ/bit
延迟时间	TX+RX 有 FEC@<8 GT/s	26.00	26.00	ns
	TX+RX 有 FEC@8~16 GT/s	13.00	13.00	ns
	TX+RX 有 FEC@<8 GT/s	10.00	10.00	ns
	TX+RX 有 FEC@8~16 GT/s	5.00	5.00	ns
误码率	有 FEC	1.00E-15	1.00E-15	-
	无 FEC	1.00E-12	1.00E-12	-

表3 差分接口的关键性能指标

性能	条件	先进封装	标准封装	单位
带宽线密度	2 GT/s	268.74	42.67	GT/s/mm
	4 GT/s	537.5	85.33	GT/s/mm
	6 GT/s	806.2	128	GT/s/mm
	8 GT/s	1075	170.67	GT/s/mm
	12 GT/s	1612.4	256	GT/s/mm
	16 GT/s	2150	341.33	GT/s/mm
	20 GT/s	2687.5	426.65	GT/s/mm
	24 GT/s	3224.8	512	GT/s/mm
	28 GT/s	3762.5	597.31	GT/s/mm
	32 GT/s	4300	682.67	GT/s/mm
能效	≤12 GT/s	2	2.5	pJ/bit
	≥16 GT/s	1.5	2	pJ/bit
延迟时间	TX+RX 有 FEC@<8 GT/s	26.00	26.00	ns
	TX+RX 有 FEC@8~16 GT/s	13.00	13.00	ns

表3 (续)

性能	条件	先进封装	标准封装	单位
延迟时间	TX+RX 有 FEC@16~32 GT/s	9.00	9.00	ns
	TX+RX 无 FEC@<8 GT/s	10.00	10.00	ns
	TX+RX 无 FEC@8~16 GT/s	5.00	5.00	ns
	TX+RX 无 FEC@16~32 GT/s	5.00	5.00	ns
误码率	有 FEC	1.00E-15	1.00E-15	-
	无 FEC	1.00E-12	1.00E-12	-

5 接口

5.1 物理层接口

5.1.1 并行总线接口

并行总线接口信号列表见表4。

表4 并行总线接口信号列表

符号	类型	描述
RXDQ[15:0]	输入	接收方向数据
TXDQ[15:0]	输出	发送方向数据
RXCLKP/RXCLKN	输入	接收方向时钟信号 (差分)
TXCLKP/TXCLKN	输出	发送方向时钟信号 (差分)

5.1.2 差分串行总线接口

差分串行总线接口信号列表见表5。

表5 差分串行总线接口信号列表

符号	类型	描述
RXP[3:0] RXN[3:0]	输入	接收方向数据信号 (差分)
TXP[3:0] TXN[3:0]	输出	发送方向数据信号 (差分)
RXCLKP RXCLKN	输入 (可选的)	接收方向时钟信号 (差分)
TXCLKP TXCLKN	输出 (可选的)	发送方向时钟信号 (差分)

5.2 适配层信号

适配层信号列表见表6。

表 6 适配层信号列表

符号	类型	时钟	描述
TxData[63:0]	输出	TxCLK	发送方向数据信号
TxDataValid	输出	TxCLK	发送方向数据有效信号
TxStartBlock	输出	TxCLK	发送方向数据起始指示信号
TxDataReady	输出	TxCLK	适配层数据通路发送准备完成指示信号
TxCLK	输出	-	发送方向时钟信号
RxData[63:0]	输入	RxCLK	接收方向数据信号
RxDataValid	输入	RxCLK	接收方向数据有效信号
RxStartBlock	输入	RxCLK	接收方向数据起始指示信号
RxDataReady	输入	RxCLK	物理层数据通路接收准备完成指示信号
RxCLK	输入	-	接收方向时钟信号
TxElecIdle	输出	异步	强制 TX 输出进入电气空闲状态
Reset#	输出	异步	复位发射机和接收机
PowerDown[1:0]	输出	TxCLK	0: 正常工作; 1: 可快速恢复的低功耗模式; 2: 需较长时间恢复的低功耗模式; 3: 最低功耗模式
DataRate[4:0]	输出	TxCLK	设置数据速率
DataWidth[4:0]	输出	TxCLK	0: 8 bits; 1: 10 bits; 2: 16 bits; 3: 20 bits; 4: 32bits; 5: 40bits; 6: 64bits; 7~31: Reserved
LinkCfg[4:0]	输出	TxCLK	0: x8; 1: x16; 2: x32; 3: x64; 4~31: Reserved
InTraining	输入	异步	物理层发送给适配层的正在进行链路训练的指示信号
RxEqEval	输出	TxCLK	RX 均衡评估启动指示信号, 用于告知 PHY RX 进行均衡评估
LinkError	输出	异步	适配层发送给物理层的会引起链路错误的错误指示信号
NCErrror	输入	异步	物理层发送给适配层的需要重新做链路训练的错误指示信号
CErrror	输入	异步	物理层发送给适配层的可恢复错误指示信号, 不需要重新做链路训练
NFErrror	输入	异步	物理层发送给适配层的非致命错误指示信号
FErrror	输入	异步	物理层发送给适配层的致命错误指示信号
PALCfgValid	输出	TxCLK	适配层发送给物理层的配置信息使能指示信号
PALCfg[31:0]	输出	TxCLK	适配层发送给物理层的配置信息数据
PHYCfgValid	输入	RxCLK	物理层发送给适配层的配置信息使能指示信号
PHYCfg[31:0]	输入	RxCLK	物理层发送给适配层的配置信息数据
PALClkReq	输入	异步	物理层发送给适配层的动态时钟门控状态退出请求信号, 适配层在收到该请求后从动态时钟门控状态退出
PALClkAck	输出	异步	适配层发送给物理层的动态时钟门控状态退出完成应答信号, 适配层在完成退出动态时钟门控状态后通过该信号完成与物理层握手
PHYWakeReq	输出	异步	适配层发送给物理层的动态时钟门控状态退出请求信号, 物理层在收到该请求后从动态时钟门控状态退出

表6 (续)

符号	类型	时钟	描述
PHYWakeAck	输入	异步	物理层发送给适配层的动态时钟门控状态退出完成应答信号, 物理层在完成退出动态时钟门控状态后通过该信号完成与适配层握手

发送方向数据接口时序要求见图4:

- 1) 接口复位信号(Reset)为低电平有效;
- 2) 电源关断信号(PowerDown)需要在数据开始发送前保持稳定;
- 3) TX数据传输需要在发送电气空闲状态信号(TxElecIdle)拉低后有效;
- 4) 当发送数据有效信号(TxDataValid)为1时, 指示当前时钟周期下发送数据块起始指示信号(TxStartBlock)和发送数据(TxData)有效;
- 5) TxStartBlock在一个数据块的第一个时钟周期为1, 以指示一个数据块数据的开始。

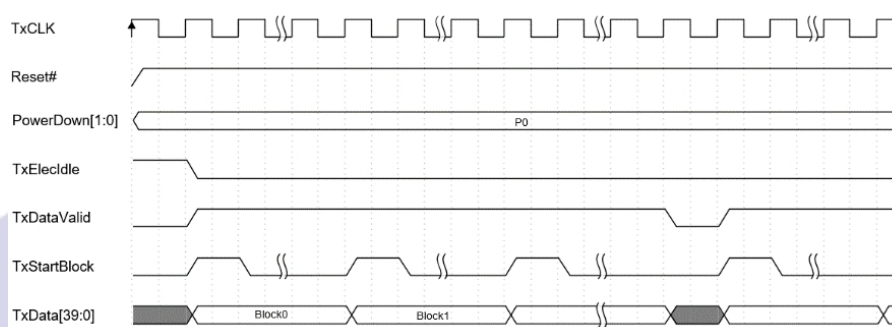


图4 发送方向数据接口时序要求

接收方向数据接口时序要求见图5:

- 1) 接口复位信号(Reset)为低电平有效;
- 2) 电源关断信号(PowerDown)需要在数据开始发送前保持稳定;
- 3) RX数据传输需要在接收电气空闲状态信号(RxElecIdle)拉低后有效;
- 4) 当接收数据有效信号(RxDataValid)为1时, 指示当前时钟周期下接收数据块起始指示信号(RxStartBlock)和接收数据(RxData)有效;
- 5) RxStartBlock在一个数据块的第一个时钟周期为1, 以指示一个数据块数据的开始。

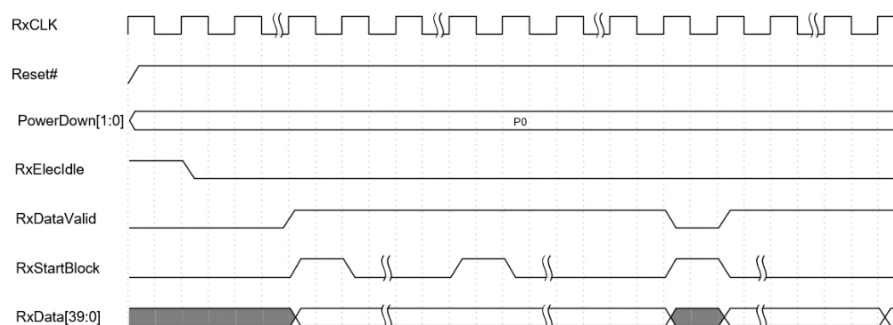


图5 接收方向数据接口时序要求

链路均衡请求与响应时序要求见图6:

- 1) 接收机均衡请求信号 (RxEqEval) 在物理层模式配置 (PHY Mode) 稳定和电源关断信号 (Power Down) 处于0时拉起, 指示发起接收机均衡 (RX Equalization Evaluation);
- 2) 在链路均衡状态信息 (Link Equalization Evaluation Information) 返回后撤销请求;
- 3) PHY的Link Equalization Evaluation Information可以通过和RxEqEval握手方式传递给上层。

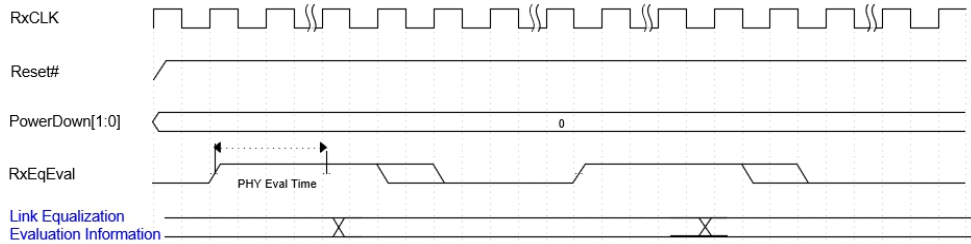


图 6 链路均衡请求时序要求

低功耗请求与响应时序要求见图7:

- 1) 物理适配层时钟请求信号/物理层状态唤醒请求信号 (PALClkReq/PHYWakeReq) 需在物理适配层时钟请求响应信号/物理层状态唤醒请求响应信号 (PALClkAck/PHYWakeAck) 为低时才允许被拉起, 用于指示PALClkReq/PHYWakeReq请求有效;
- 2) PALClkAck/PHYWakeAck需在PALClkReq/PHYWakeReq被拉起为1时, 才允许被拉起, 用于指示接收到PALClkReq/PHYWakeReq请求, 并可以响应;
- 3) PALClkReq/PHYWakeReq需在PALClkAck/PHYWakeAck被拉起为1时, 才允许被撤销, 用于指示响应逻辑处理完成;
- 4) PALClkAck/PHYWakeAck需在PALClkReq/PHYWakeReq被撤销后, 才允许被撤销, 用于指示本次握手完成。

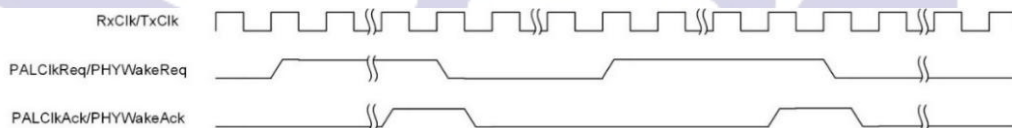


图 7 低功耗模式请求时序要求

5.3 链路层信号

链路层信号列表见表7。

表 7 链路层信号列表

符号	类型	时钟	描述
TxData[63:0]	输出	TxCLK	发送方向数据信号
TxDataValid	输出	TxCLK	发送方向数据有效信号
TxStartBlock	输出	TxCLK	发送方向数据起始指示信号
TxDataReady	输出	TxCLK	适配层数据通路发送准备完成指示信号

表7 (续)

符号	类型	时钟	描述
TxStream[7:0]	输出	TxCLK	协议层发送给适配层的协议类型指示信号，用于指示当前数据所属协议类型。 0x01: Stack0, PCIe 0x02: Stack0, CXL.io 0x03: Stack0, CXL.cachemem 0x04: Stack0, Stream 0x11: Stack1, PCIe 0x12: Stack1, CXL.io 0x13: Stack1, CXL.cachemem 0x14: Stack1, Stream
TxNopFlit	输出	TxCLK	链路层发送给适配层的 Nop Flit 指示信号
TxCLK	输出	-	发送方向时钟信号
RxData[63:0]	输入	RxCLK	接收方向数据信号
RxDataValid	输入	RxCLK	接收方向数据有效信号
RxStartBlock	输入	RxCLK	接收方向数据起始指示信号
RxDataReady	输入	RxCLK	物理层 数据通路 接收准备完成指示信号
RxStream[7:0]	输入	RxClk	适配层发送给协议层的协议类型指示信号，用于指示当前数据所属协议类型。 0x01: Stack0, PCIe 0x02: Stack0, CXL.io 0x03: Stack0, CXL.cachemem 0x04: Stack0, Stream 0x11: Stack1, PCIe 0x12: Stack1, CXL.io 0x13: Stack1, CXL.cachemem 0x14: Stack1, Stream
RxFlitCancel	输入	RxCLK	适配层发送给链路层的 Flit Cancel 指示信号
RxCLK	输入	-	接收方向时钟信号
TxElecIdle	输出	异步	强制 TX 输出进入电气空闲状态
Reset#	输出	异步	复位发射机和接收机
PowerDown[1:0]	输出	TxCLK	0: 正常工作; 1: 可快速恢复的低功耗模式; 2: 需较长时间恢复的低功耗模式; 3: 最低功耗模式
DataRate[4:0]	输出	TxCLK	设置数据速率
DataWidth[4:0]	输出	TxCLK	0: 8 bits; 1: 10 bits; 2: 16 bits; 3: 20 bits; 4: 32bits; 5: 40bits; 6: 64bits; 7~31: Reserved
LinkCfg[4:0]	输出	TxCLK	0: x8; 1: x16; 2: x32; 3: x64; 4~31: Reserved
InTraining	输入	异步	物理层发送给适配层的正在进行链路训练的指示信号
RxEqEval	输出	TxCLK	RX 均衡评估启动指示信号，用于告知 PHY RX 进行均衡评估
LinkError	输出	异步	适配层发送给物理层的会引起链路错误的错误指示信号
NCErr	输入	异步	物理层发送给适配层的需要重新做链路训练的错误指示信号

表7 (续)

符号	类型	时钟	描述
CError	输入	异步	物理层发送给适配层的可恢复错误指示信号,不需要重新做链路训练
NFError	输入	异步	物理层发送给适配层的非致命错误指示信号
FError	输入	异步	物理层发送给适配层的致命错误指示信号
PALCfgValid	输出	TxCLK	适配层发送给物理层的配置信息使能指示信号
PALCfg[31:0]	输出	TxCLK	适配层发送给物理层的配置信息数据
PHYCfgValid	输入	RxCLK	物理层发送给适配层的配置信息使能指示信号
PHYCfg[31:0]	输入	RxCLK	物理层发送给适配层的配置信息数据
PALClkReq	输入	异步	物理层发送给适配层的动态时钟门控状态退出请求信号,适配层在收到该请求后从动态时钟门控状态退出
PALClkAck	输出	异步	适配层发送给物理层的动态时钟门控状态退出完成应答信号,适配层在完成退出动态时钟门控状态后通过该信号完成与物理层握手
PHYWakeReq	输出	异步	适配层发送给物理层的动态时钟门控状态退出请求信号,物理层在收到该请求后从动态时钟门控状态退出
PHYWakeAck	输入	异步	物理层发送给适配层的动态时钟门控状态退出完成应答信号,物理层在完成退出动态时钟门控状态后通过该信号完成与适配层握手
TxDLLPValid	输出	TxCLK	链路层发送给适配层的 DLLP 数据有效信号
TxDLLP	输出	TxCLK	链路层发送给适配层的 DLLP 数据信号
TxDLLPOFC	输出	TxCLK	链路层发送给适配层的 DLLP 数据是否 Optimized Update FC 格式指示信号
RxDLLPValid	输入	RxCLK	适配层发送给链路层的 DLLP 数据有效信号
RxDLLP	输入	RxCLK	适配层发送给链路层的 DLLP 数据信号
RxDLLPOFC	输入	RxCLK	适配层发送给协议层的 DLLP 数据是否 Optimized Update FC 格式指示信号

发送方向数据接口时序要求见图8:

- 1) 接口复位信号(Reset)为低电平有效;
- 2) 电源关断信号(PowerDown)需要在数据开始发送前保持稳定;
- 3) TX数据传输需要在发送电气空闲状态信号(TxElecIdle)拉低后有效;
- 4) 当发送数据有效信号(TxDataValid)为1时,指示当前时钟周期下发送数据块起始指示信号(TxStartBlock)和发送数据(TxData)有效;
- 5) TxStartBlock在一个数据块的第一个时钟周期为1,以指示一个数据块数据的开始。

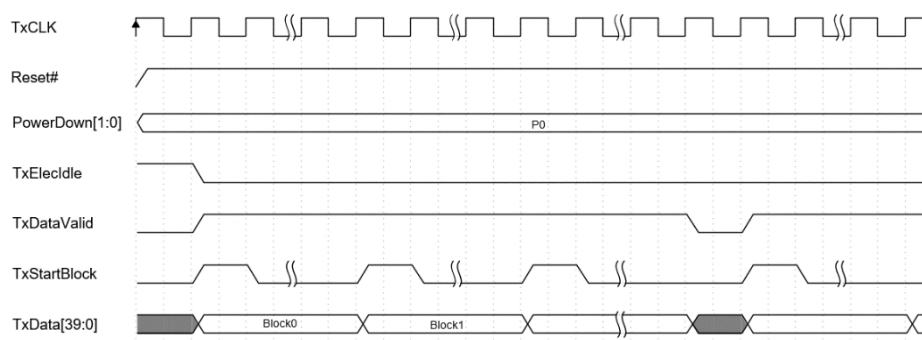


图8 发送方向数据接口据时序要求

接收方向数据接口时序要求见图9:

- 1) 接口复位信号(Reset)为低电平有效;
- 2) 电源关断信号(PowerDown)需要在数据开始发送前保持稳定;
- 3) RX数据传输需要在接收电气空闲状态信号(RxElecIdle)拉低后有效;
- 4) 当接收数据有效信号(RxDataValid)为1时, 指示当前时钟周期下接收数据块起始指示信号(RxStartBlock)和接收数据(RxData)有效;
- 5) RxStartBlock在一个数据块的第一个时钟周期为1, 以指示一个数据块数据的开始。

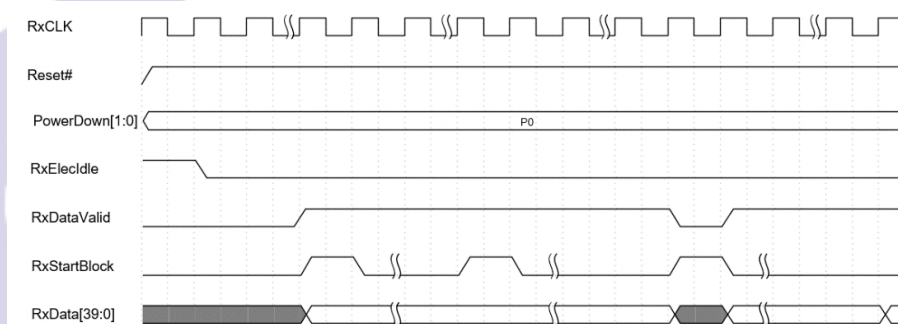


图9 接收方向数据接口据时序要求

链路均衡请求与响应时序见图10:

- 1) 接收机均衡请求信号(RxEqEval)在物理层模式配置(PHY Mode)稳定和电源关断信号(Power Down)处于0时拉起, 指示发起接收机均衡(RX Equalization Evaluation);
- 2) 在链路均衡状态信息(Link Equalization Evaluation Information)返回后撤销请求;
- 3) PHY的Link Equalization Evaluation Information可以通过和RxEqEval信号握手方式传递给上层。

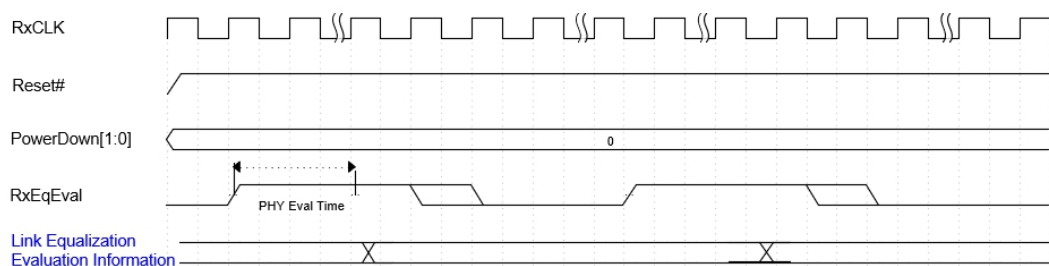


图10 链路均衡请求时序要求

低功耗请求与响应时序见图11:

- 1) 物理适配层时钟请求信号/物理层状态唤醒请求信号 (PALClkReq/PHYWakeReq) 需在物理适配层时钟请求响应信号/物理层状态唤醒请求响应信号 (PALClkAck/PHYWakeAck) 为低时才允许被拉起, 用于指示PALClkReq/PHYWakeReq请求有效;
- 2) PALClkAck/PHYWakeAck需在PALClkReq/PHYWakeReq被拉起为1时, 才允许被拉起, 用于指示接收到PALClkReq/PHYWakeReq请求, 并可以响应;
- 3) PALClkReq/PHYWakeReq需在PALClkAck/PHYWakeAck被拉起为1时, 才允许被撤销, 用于指示响应逻辑处理完成;
- 4) PALClkAck/PHYWakeAck需在PALClkReq/PHYWakeReq被撤销后, 才允许被撤销, 用于指示本次握手完成。

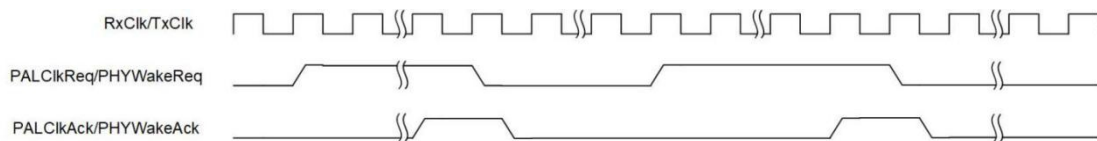


图 11 低功耗模式请求时序要求

6 协议层

6.1 概述

本文件在协议层支持PCIe、CXL以及用户私有协议处理, 主要模式如下:

- PCIe 5.0/6.0 Flit模式。
- CXL 2.0/3.0模式: 支持“70字节Flit模式”以及“256字节Flit模式”; 对于CXL协议的支持, 协议层需要具体协商是否支持CXL.io, CXL.cache, CXL.mem特性。
- 自定义模式: 用户自定义协议, 仅使用此标准作为传输载体, 完成数据传输。

本协议不支持CXL 1.1协议, 对于PCIe非Flit模式与CXL.io一样采用70字节Flit模式处理。协议层支持模式见表8。

表 8 协议层支持模式

协议层	70B Flit 模式	256B Flit 模式	PCIe 256B Flit 模式
PCIe 5.0	必须	不涉及	不涉及
PCIe 6.0	必须	不涉及	可选
CXL 2.0	必须	不涉及	不涉及
CXL 3.0	必须	必须	必须

6.2 自定义模式

自定义模式为可选功能, 用户可将任何协议或私有协议直接基于本文件传输, 此模式下报文的重传、校验等处理均由用户在协议层完成, 所有64字节内容均由协议层负责填充, 本文件负责完成透明传输。数据格式见图12。



图 12 自定义格式

6.3 PCIe

6.3.1 概述

本节描述对PCIe协议的支持，数据格式中的灰色部分表示需要在适配层或链路层关注的信息，本节仅介绍协议层信息的内容。

6.3.2 自定义格式用于PCIe

本文件对于PCIe 5.0及以下协议可以采用上一节中描述的自定义协议规定的64字节数据格式传输，对于这种模式，其重传、循环冗余校验 (Cyclic Redundancy Check, CRC)、前向纠错 (Forward error correction, FEC) 等由协议层处理，即由PCIe协议本身定义传输方法处理，本文件仅用为传输的物理通道，提供端到端的数据传输。当然具体实现的时候，也可以根据上层协议，选择是否实现对其CRC等校验信息的检测，以便随路检测传输通道的特性以及链路状态信息、可靠性等。

6.3.3 256字节Flit格式用于PCIe

本文件支持PCIe 6.0及以上模式时，必须支持此格式，用于PCIe协议定义的Flit模式传输，对于保留域在协议层填0值，保留域将用于未来扩展用途。数据格式见图13。



图 13 256 字节 Flit 格式-PCIe

6.4 256 字节 Flit 模式用于 CXL3.0

6.4.1 概述

本模式用于传输CXL3.0 256字节Flit模式定义的数据包，本节描述具体支持的两种格式。灰色部分内容由适配层或链路层填充，对于协议层在发送侧填0，并在接收侧忽略即可。

6.4.2 256字节Flit模式用于CXL.cache/mem

此模式用于支持CXL.cache、CXL.mem协议的传输，协议层填充CXL协议定义的FlitHdr、FlitDat部分内容，ID以及校验位由本协议适配层处理，保留域将用于未来扩展用途。数据格式见图14。

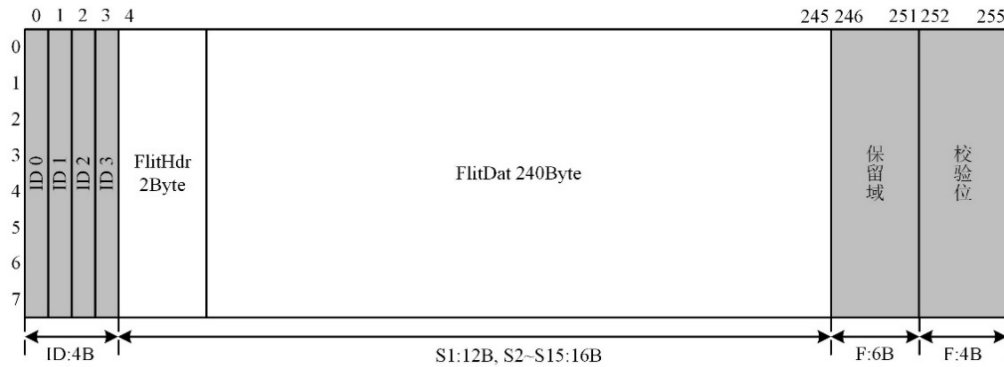


图 14 256 字节 Flit 格式-CXL. cache/mem

6.4.3 256字节Flit模式用于CXL.io

此模式用于支持CXL.io协议的传输，协议层填充CXL协议定义的FlitHdr、FlitDat、DLLP部分内容，ID以及校验位由本协议适配层处理，保留域将用于未来扩展用途。数据格式见图15。

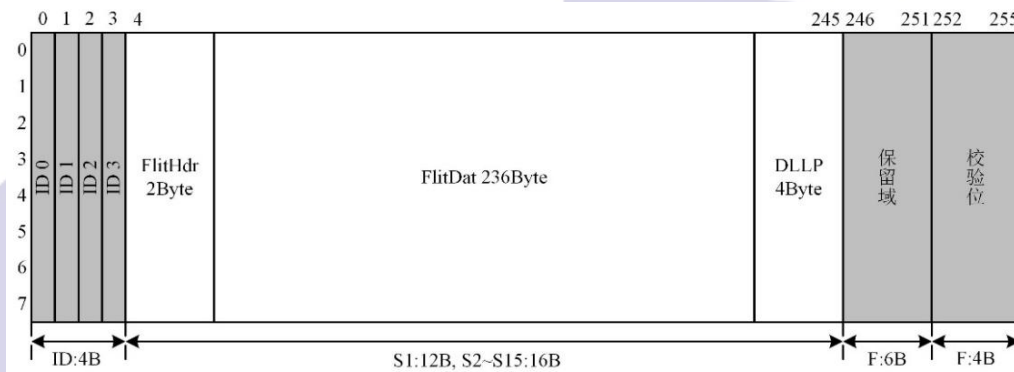


图 15 256 字节 Flit 格式-CXL.io

6.5 70 字节 Flit 模式用于 CXL2.0

70字节Flit模式，可应用于CXL2.0或“CXL 70B-Enhanced Flit Mode”。

对于CXL协议除去ID和校验位外，每一个70字节的Flit可以传输CXL协议对应的64字节有效负载，对于未完成传输的部分由下一个包处理。数据格式见图16。

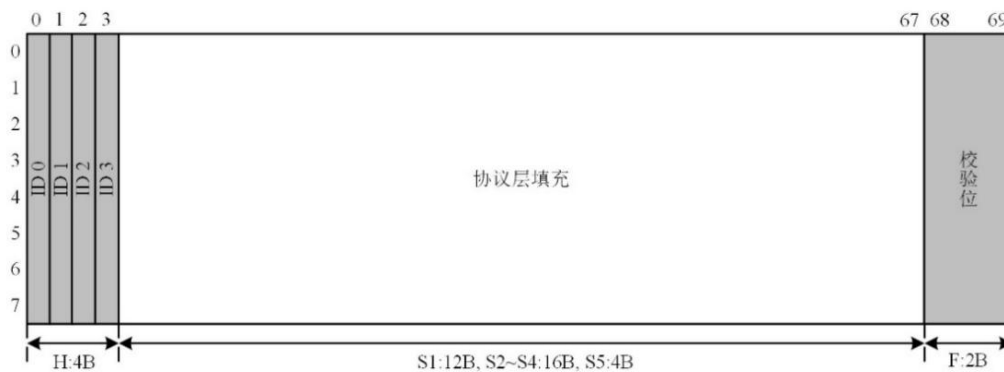


图 16 70 字节 Flit 格式

对于前一个70字节未完成传输，或只有数据负载的Flit，不需要ID域段。数据格式见图17。



图 17 70 字节数据 Flit 格式

7 链路层

7.1 概述

本文件提供了Flit数据传输模式，以256字节或70字节为标准的传输单元，支持C2C、C2M和C2IO等应用场景，可以实现多种接口协议。

链路层负责接收和发送上层协议信号，并实现协议信号的包形式。Flit分为两种格式，一种是协议Flit，另一种是全数据Flit。

7.2 协议 Flit 包

7.2.1 256字节Flit格式

本文件支持采用256字节Flit格式的数据包。在该格式下采用256字节为标准的传输单元，其中自定义数据内容共236字节，来源于上层用户协议。Flit ID共4字节和校验位4字节均由适配层进行编辑。保留域将用于未来扩展用途。数据格式见图18。

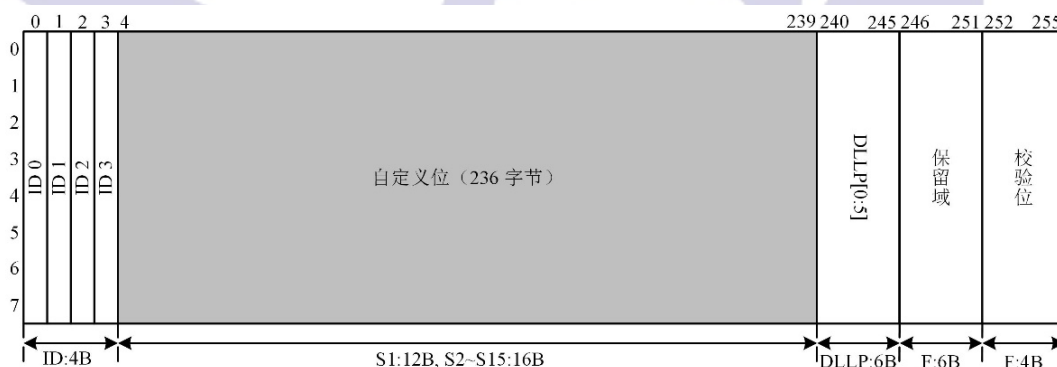


图 18 256 字节 Flit 包格式

7.2.2 70字节Flit格式

本文件采用协议Flit格式的数据包。在该格式下采用70字节为标准的传输单元，其中自定义内容共64字节，来源于上层用户协议。Flit ID共4字节和校验位2字节均由适配层进行编辑。数据格式见图19。

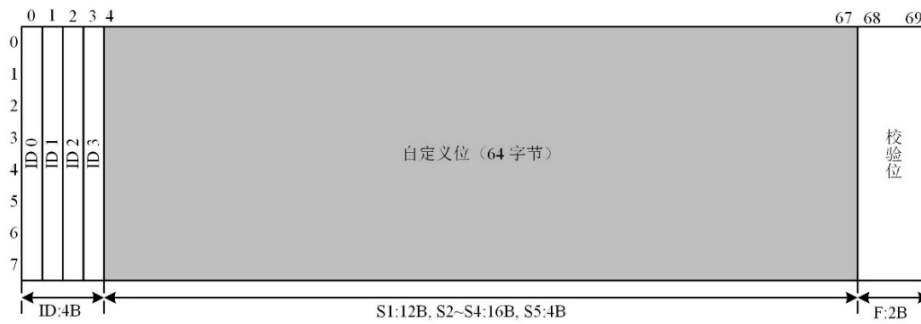


图 19 70 字节 Flit 包格式

7.3 全数据 Flit 包

全数据 Flit 同样以 70 字节为标准的传输单元，其中来自于协议层的数据块共 68 字节。可用于传输通信数据信息。数据格式见图 20。

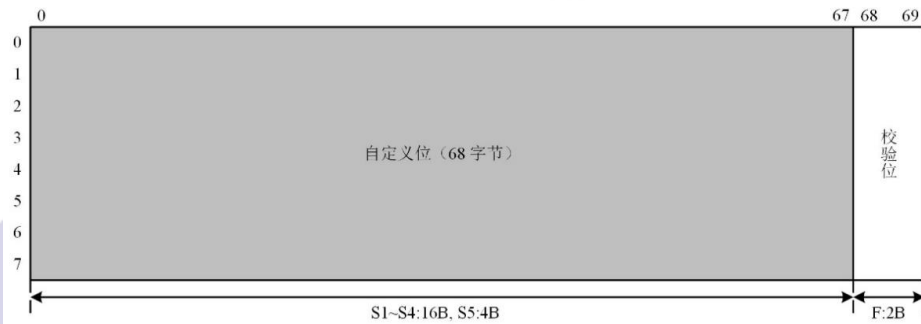


图 20 全数据 Flit 包格式

8 适配层

8.1 Flit 结构

物理适配层的功能是增加 Flit 头部信息或者是数据包的检错功能，其中，头部信息用于表征 Flit 包的类型和属性；数据包的检错功能可保证数据的可靠传输。根据传输的 Flit 数据包的不同，其物理适配层的功能也有区别。

协议 Flit 结构 256 字节格式见图 21。物理适配层的功能是增加 Flit 头部信息，DLLP 部分数据以及数据包的检错功能；图中橘色部分代表协议 Flit 的 ID 结构，占 4 字节；绿色部分是数据校验，占 4 字节（256 字节 Flit 格式）。保留域将用于未来扩展用途。

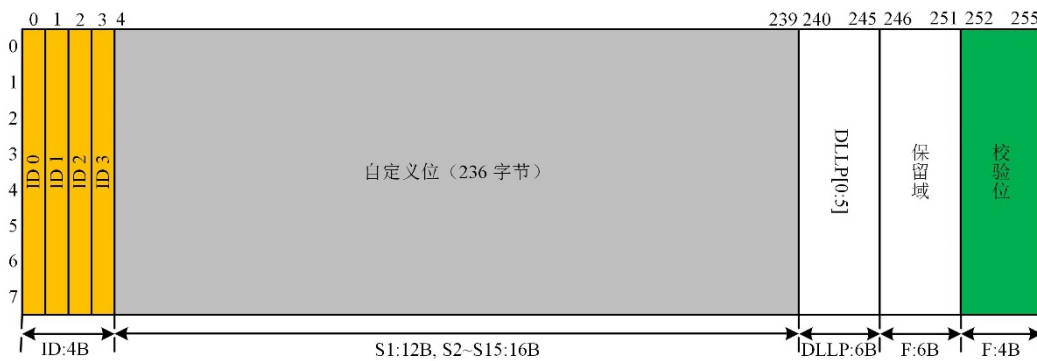


图 21 协议 256 字节 Flit 格式适配层功能

协议Flit结构70字节格式见图22，物理适配层的功能是增加Flit头部信息以及数据包的检错功能；图中橘色部分代表协议Flit的ID结构，占4字节；绿色部分是数据校验，占2字节，共计70字节。

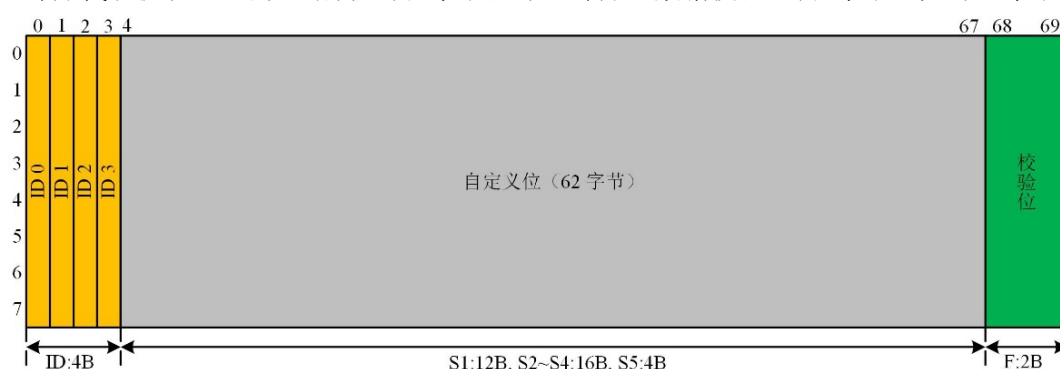


图 22 协议 70 字节 Flit 格式适配层功能

全数据Flit结构见图23，物理适配层的功能是增加数据包的检错功能；图中绿色部分是数据校验，占2字节；通信Flit的数据块，占68字节，来自于上层协议定义，共计70字节。



图 23 全数据 Flit 格式适配层功能

8.2 Flit ID 结构

8.2.1 256字节Flit ID结构

256字节格式下，Flit ID共4字节长度，具体内容见表9。

表 9 256 字节 Flit ID

字节	域段	描述
Byte 0	[7:6]	2'b00 无效；2'b01 PCIe 或 CXL.io；2'b10 CXL.cachemem；2'b11 保留未来扩展用途
Byte 0	[5]	保留域段
Byte 0	[4]	0：DLLP 2~5 为 DLLP 数据；1：DLLP 2~5 为 OFC 或 Flit Marker
Byte 0	[3:0]	Retry 时为序列号的高 4 位，Bit[7:4] 非 Retry 时，则位保留域段
Byte 1	[7:6]	保留域段
Byte 1	[5:4]	支持 Retry 时为 Ack 或 Nak 相关信息

表9 (续)

字节	域段	描述
Byte 1	[3:0]	Retry 时为序列号的低 4 位, Bit[3:0] 非 Retry 时, 则位保留域段
Byte 2	[7:1]	保留域段
Byte 2	[0]	区分 Protocol Flit 和 Control Flit
Byte 3	[7:0]	保留域段

8.2.2 70字节Flit ID结构

70字节格式下, Flit ID共4字节长度, 具体内容见表10。

表10 70字节Flit ID

字节	域段	描述
Byte 0	[7:6]	2'b00 无效; 2'b01 PCIe 或 CXL.io; 2'b10 CXL.cachemem; 2'b11 保留未来扩展用途
Byte 0	[5]	保留域段
Byte 0	[4]	0: DLLP 2~5 为 DLLP 数据; 1: DLLP 2~5 为 OFC 或 Flit Marker
Byte 0	[3:0]	Retry 时为序列号的高 4 位, Bit[7:4] 非 Retry 时, 则位保留域段
Byte 1	[7:6]	保留域段
Byte 1	[5:4]	支持 Retry 时为 Ack 或 Nak 相关信息
Byte 1	[3:0]	Retry 时为序列号的低 4 位, Bit[3:0] 非 Retry 时, 则位保留域段
Byte 2	[7:1]	保留域段
Byte 2	[0]	区分 Protocol Flit 和 Control Flit
Byte 3	[7:0]	保留域段

8.3 DLLP 数据

本文件中, DLLP数据通过对应接口从链路层传递到适配层。

适配层负责按照上层协议的规则将DLLP数据插入256字节Flit格式下的DLLP数据域段。

8.4 数据的检错保护

8.4.1 CRC校验保护

本文件可选采用CRC来保护数据载荷Flit, 其实现结构见图24。

CRC可以支持以下特性:

- 1) 支持随机3比特的数据错误检测;
- 2) CRC支持覆盖128字节的Flit数据载荷。

在256字节Flit格式下:

- 1) CRC 0用于保护Flit的前128字节, 共计2字节;

2) CRC 1用于保护Flit的剩余数据及DLLP相关数据，共计2字节；被保护数据如果不满128字节时，需要在数据高位补0。

在70字节Flit格式下：

CRC 0用于保护Flit相关数据，共计2字节；不满128字节的位域，在数据高位补0。

CRC校验需要接收完整个Flit数据包，然后整体进行循环冗余校验。以70字节Flit数据包为例，当接收完前68字节数据后，以串行或并行方式送入校验电路，循环计算最终生成2字节的CRC校验码。

送入数据排布方式具体由用户决定。默认情况下，以小端排布方式进行校验为主，Flit数据包头占据低字节，往后依次向高位排布。CRC校验方式属于循环冗余校验，后一次生成的校验码与送入数据和前一次校验码相关，所以生成的CRC校验码整体保护和校验整个Flit数据包。

CRC生成多项式为：

$$g(x) = x^{12} + x^3 + x^1 + 1 \dots \dots \dots (1)$$

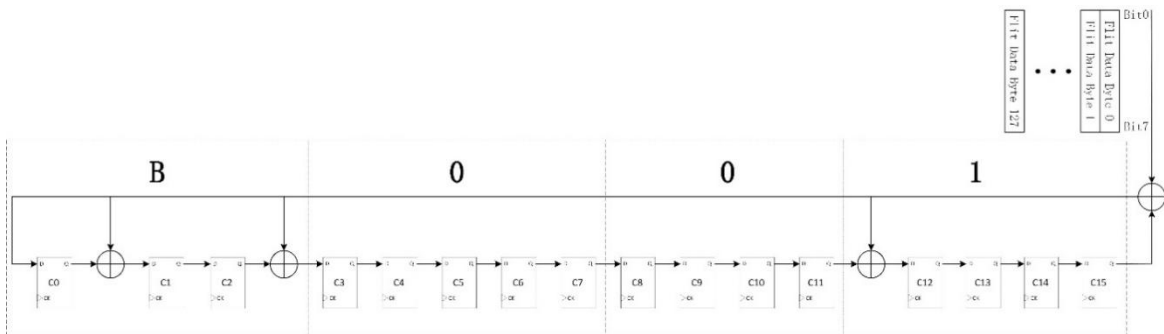


图 24 CRC 的实现结构图

8.4.2 FEC校验保护

当传输环境恶劣或信道误码率较高时（如 10^{-15} 以上），本文件可选采用FEC来保护数据载荷Flit。FEC检错保护是用户可选的，其实现规则包括：

- 1) 每条通道中必须按位顺序执行；
- 2) 主要用于检测位随机错误；

固在有限域 $GF(2^n)$ ，FEC生成多项式为：

$$g(x) = (x + \alpha)(x + \alpha^2) \dots (x + \alpha^{n-1})(x + \alpha^n) \dots \dots \dots (2)$$

式中， α 是本原多项式的根。展开后为：

$$g(x) = x^n + g_{n-1}x^{n-1} + \dots + g_1x + g_0 \dots \dots \dots (3)$$

式中， $g_i(i = 0 \sim n - 1)$ 是系数，其实现结构见图25。

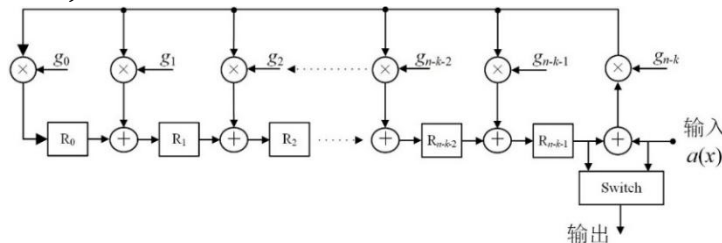


图 25 FEC 的实现结构图

8.5 数据流分布

以下通过具体的实例对本文件所提出的Flit格式的数据包及兼容性进行解释。
256字节Flit格式的数据排列见图26。

	通道 0	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7	通道 8	通道 9	通道 10	通道 11	通道 12	通道 13	通道 14	通道 15
时隙 0	ID 0	ID 1	ID 2	ID 3	Flit 数据包 1											
时隙 1									Flit 数据包 1							
时隙 2									Flit 数据包 1							
时隙 3									Flit 数据包 1							
时隙 4									Flit 数据包 1							
时隙 5									Flit 数据包 1							
时隙 6									Flit 数据包 1							
时隙 7									Flit 数据包 1							
时隙 8									Flit 数据包 1							
时隙 9									Flit 数据包 1							
时隙 10									Flit 数据包 1							
时隙 11									Flit 数据包 1							
时隙 12									Flit 数据包 1							
时隙 13									Flit 数据包 1							
时隙 14									Flit 数据包 1							
时隙 15	DLP 0.5				保留域				校验位							
时隙 16	ID 0	ID 1	ID 2	ID 3	Flit 数据包 2											
时隙 17									Flit 数据包 2							
时隙 18									Flit 数据包 2							
时隙 19									Flit 数据包 2							
时隙 20									Flit 数据包 2							
时隙 21									Flit 数据包 2							
时隙 22									Flit 数据包 2							
时隙 23									Flit 数据包 2							
时隙 24									Flit 数据包 2							
时隙 25									Flit 数据包 2							
时隙 26									Flit 数据包 2							
时隙 27									Flit 数据包 2							
时隙 28									Flit 数据包 2							
时隙 29									Flit 数据包 2							
时隙 30									Flit 数据包 2							
时隙 31	DLP 0.5				保留域				校验位							

图 26 ×16 lane 下 256 字节 Flit 数据排列

70字节Flit格式的数据排列见图27。

	通道 0	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7	通道 8	通道 9	通道 10	通道 11	通道 12	通道 13	通道 14	通道 15				
时隙 0	ID 0	ID 1	ID 2	ID 3	Flit 数据包 1															
时隙 1									Flit 数据包 1											
时隙 2									Flit 数据包 1											
时隙 3	Flit 数据包 1				校验位				ID 0	ID 1	ID 2	ID 3	Flit 数据包 2							
时隙 4									Flit 数据包 2											
时隙 5									Flit 数据包 2											
时隙 6									Flit 数据包 2											
时隙 7									Flit 数据包 2											
时隙 8									Flit 数据包 2				校验位				ID 0	ID 1	ID 2	ID 3
时隙 9									Flit 数据包 3											
时隙 10									Flit 数据包 3											
时隙 11									Flit 数据包 3											
时隙 12									Flit 数据包 3											
时隙 13	校验位				ID 0	ID 1	ID 2	ID 3	Flit 数据包 4											
时隙 14									Flit 数据包 4											
时隙 15									Flit 数据包 4											
时隙 16									Flit 数据包 4											
时隙 17	Flit 数据包 4				校验位				ID 0	ID 1	ID 2	ID 3	Flit 数据包 5							
时隙 18									Flit 数据包 5											
时隙 19									Flit 数据包 5											
时隙 20									Flit 数据包 5											
时隙 21									Flit 数据包 5				校验位				ID 0	ID 1		
时隙 22	ID 2	ID 3	Flit 数据包 6																	
时隙 23									Flit 数据包 6											
时隙 24									Flit 数据包 6											
时隙 25									Flit 数据包 6											
时隙 26	Flit 数据包 6		校验位				ID 0	ID 1	ID 2	ID 3	Flit 数据包 7									
时隙 27									Flit 数据包 7											
时隙 28									Flit 数据包 7											
时隙 29									Flit 数据包 7											
时隙 30	Flit 数据包 7				校验位				ID 0	ID 1	ID 2	ID 3	Flit 数据包 8							
时隙 31									Flit 数据包 8											

图 27 ×16 lane 70 字节 Flit 数据排列

9 物理层

9.1 概述

物理层的功能是接收和发送信号位流、转换为适合互连通道传递的信号以及确定传输接口的电气特性，为数据传输提供可靠的环境。PHY逻辑框图见图28。

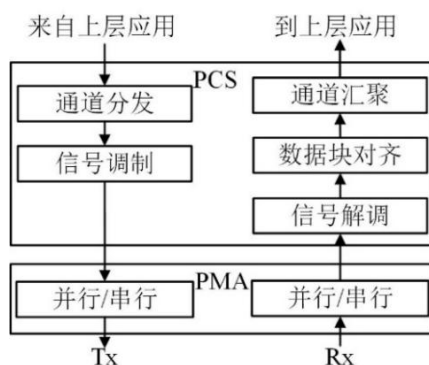


图 28 PHY 层逻辑框图

TX主要包括通道分发、信号调制和差分/并行/串行接口等功能；RX主要包括通道汇聚、数据块对齐、信号解调和差分/并行/串行接口等功能。本文件不限于所列的逻辑功能，根据上层具体应用，也可以对逻辑功能进行相应的调整优化。

9.2 物理编码子层

9.2.1 通道分发/汇聚

为支持C2C、C2M和C2I0等多种应用场景，本文件采用通道分发形式，以适配互连接口信道的通道数目。

通道分发要求支持轮询分发机制。

256字节和70字节Flit格式下的轮询分发的实现见图29、图30（以×16通道为例）。

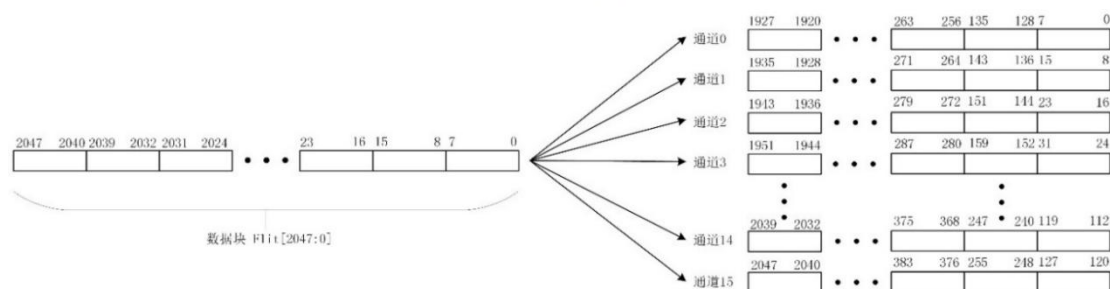


图 29 256 字节 Flit 格式下的通道分发

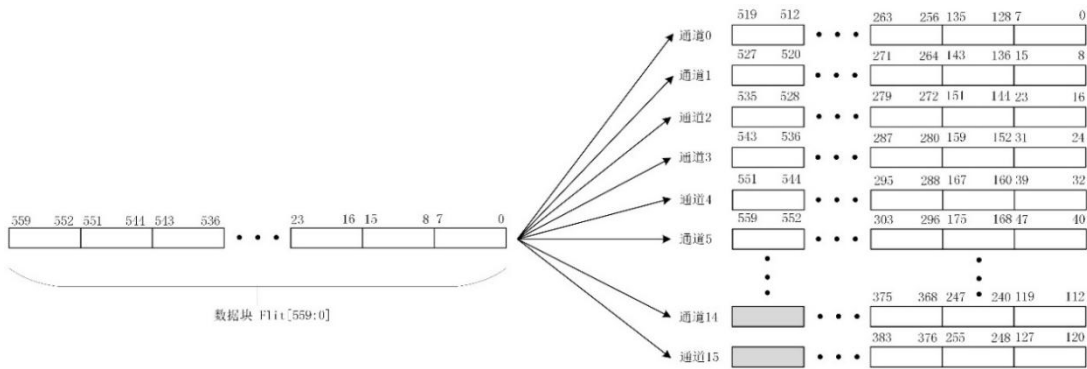


图 30 70 字节 Flit 格式下的通道分发

在实现时，需要遵循以下规则：

- 1) 考虑到Flit头及端口ID号信息（见数据包）时，需将其附加在Flit数据之前。
- 2) 考虑128B/130B编码时，按照编码规则，需对分发后Flit数据进行编码处理。

9.2.2 数据的对齐与同步

通道分发后，由于传输过程中多条通道之间存在偏移(Skew)，不同速率下所允许的Skew见表11。要求采用以下两种方法来实现通道的同步。

- 1) 位锁定。通过CDR完成时钟恢复来实现。
- 2) 字符锁定。通过特定字符识别每个字符的开始与结束来实现。

当同步头没有同时出现在通道上时，先到达的同步头会被延时，等待同步处理，见图31。

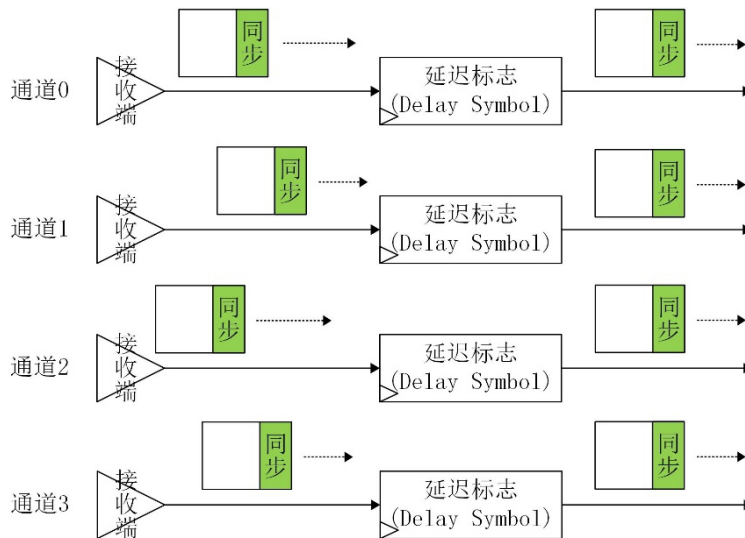


图 31 数据对齐

表 11 不同通道速率下所允许的 skew

速率R(GT/s)	允许接收端skew(ns)
$16 \leq R \leq 32$	<5
$8 \leq R < 16$	<6
$R < 8$	<20

9.2.3 信号调制

本文件采用不归零码(Non-Return-to-Zero, NRZ)信号传输技术。在实现中,建议根据通道分发和汇聚的通道数目,确定总线的传输速率。比如:若通道分发的通道数目为4路,每条通道以32GT/s的速率进行信号的传输,因此总线的传输速率为128GT/s。

为降低数据传输过程中的干扰使接收端获得更好的信噪比,提高系统信道容量,可以采用预编码技术,在发送端和接收端对信号进行预处理。

9.3 物理媒体附加子层

9.3.1 信号均衡

本文件建议采用的均衡技术是TX中前向反馈均衡器(FFE),和RX中连续时间线性均衡器(CTLE)及可选择的判决反馈均衡器(DFE)。

9.3.1.1 前向反馈均衡器

前向反馈均衡器常作用于发送端,使用线性高通滤波器提高信号的高频分量,实现信道的补偿。抽头前项反馈均衡器结构见图32。

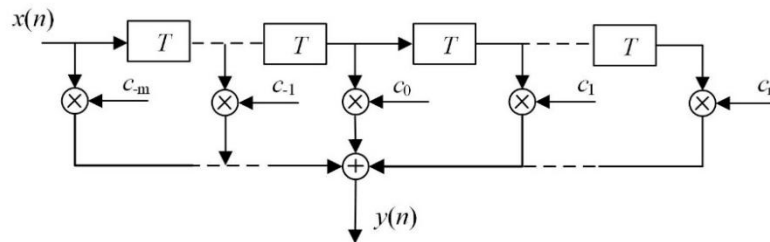


图 32 FFE 的实现结构

图中:
 $x(n)$ ——前向反馈均衡器输入信号;
 T ——延时单元;
 $c_i (-m \leq i \leq n)$ ——抽头系数;
 $y(n)$ ——均衡后的输出信号。
 FFE实现要求见公式(4):

$$|c_{-m}| + \dots + |c_{-1}| + |c_0| + |c_1| + \dots + |c_n| = 1 \dots \dots \dots (4)$$

均衡后的输出信号 $y(n)$ 是前向反馈均衡器输入信号 $x(n)$ 及其各个延时信号的加权和,其表示见公式(5):

$$y(n) = \sum_{i=-m}^n c_i \cdot x(t - i) \dots \dots \dots (5)$$

式中:
 t ——时间因子;
 m ——前标个数;
 n ——后标个数。

9.3.1.2 连续时间线性均衡器(CTLE)

CTLE是一种常见的模拟结构实现的线性均衡器,通过直接改变高频信号和低频信号的分量比例来实现补偿的方式,CTLE的典型的行为模型见公式(6):

$$H(s) = \omega_{p2} \frac{(s + \omega_{p1} A_{DC})}{(s + \omega_{p1})(s + \omega_{p2})} \dots\dots\dots (6)$$

式中：

s——拉普拉斯因子；

A_{DC} ——CTLE的DC增益：-3dB~0dB；

ω_{p1} ——第一极点： $0.5\pi * \text{速率}$ ；

ω_{p2} ——第二极点： $2\pi * \text{速率}$ 。

9.3.1.3 判决反馈均衡器 (DFE) (可选)

判决反馈均衡器用于接收端，建议与前向反馈均衡器进行组合使用。判决反馈均衡器结构见图33。

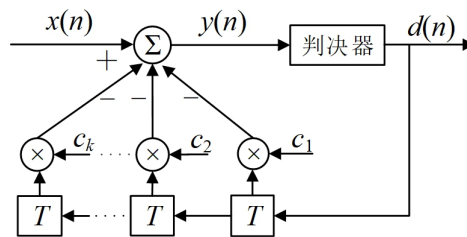


图 33 DFE 的实现结构

图中：

$x(n)$ ——判决反馈均衡器的输入信号；

T——延时单元；

$c_i (1 \leq i \leq k)$ ——抽头系数；

$d(n)$ ——判决器的输出信号；

$y(n)$ ——加法器的输出信号。

判决反馈均衡器由乘法器、加法器、判决器和延时单元构成的反馈回路组成，其加法器的输出信号 $y(n)$ 见公式 (7)：

$$y(n) = x(n) - \sum_{i=1}^k c_i \cdot d(n - i) \dots\dots\dots (7)$$

式中：

k——抽头个数。

9.3.2 电气要求

9.3.2.1 基本要求

本章电气指标内容包括对参考时钟、发送端、接收端和信道的电气规范要求，在满足本电气规范要求的前提下，可以保证整个系统内不同小芯片相互之间通讯的信号传输和接收识别是正确的。

和发送端及接收端相关的电学参数都是规定在各自的引脚端测量需要达标的值，选择这个位置测量的原因是各个小芯片的电学测量值都不包含其他模块，以便于分析。

相比较于其它的传统的印刷电路板 (Printed Circuit Board, PCB)、SIP等互连方式，小芯片互连标准的目标是具有类似于片上系统低功耗、高性能和低延时的特点。为了节省功耗以及方便小芯片互连，小芯片间信号对接采用直流耦合方式；为了减少传输延时，传输数据不强制要求前向纠错码校准功能。

9.3.2.2 并行总线接口电气要求 (物理/PMA)

9.3.2.2.1 总体要求

并行总线采用类DDR接口的技术，即采用差分的随路时钟和单端的数据线方式进行通讯；和DDR接口技术不同的地方是这个差分的随路时钟是双向的，当两个小芯片互连时，时钟的传输方向可以切换，但要求总是由发送端给出。

为了简化设计和节省引脚的数量，一对差分随路时钟对应16或者32条单端数据线，每16条单端数据线可以称作为一个“通道”。数据传输采用DDR模式，即在每个差分随路时钟单极的上升沿和下降沿都传输数据。

考虑到小芯片互连技术的实现工艺和方式，规定每16条单端数据线需要1根冗余的数据线，以应对数据线出现问题的情况，提高系统的可靠性。用户自行确定如何使用多余的线路。

为了节省功耗，每16根数据线有一个对应的数据总线反相（Data Bus Inversion, DBI）接口；为了保证发送和接收端数据传输及识别的正确性，每16根数据线有一个对应的“Data Ack”信号线，每一个单位时钟周期在接收端收到rbit数据后，接收端需要反馈给发送端一个“Data Ack”信号，该信号如果为“1”表示当前单位时钟周期接收到的数据是有效的，为“0”表示当前单位时钟周期接收到的数据是无效的，这个“Data Ack”的产生逻辑是基于奇偶校验机制。发送端的上层逻辑可以根据这个信号决定重传还是忽略。同时这个“Data Ack”信号可以在互连初始化握手训练流程中用作指示训练完成的标识。

参考时钟和外接校准电阻引脚是可选项，本文件对此不做强制要求，不同的厂商可以根据实际情况选择是否需要参考时钟和外接电阻。

为了兼顾互连系统的功耗、速度和通用性，数据和时钟接口采用片上终结电阻（On-Die Termination, ODT）端接到地的做法，ODT的值有多档位（可选的取值需要和互连工艺商讨论）可以匹配不同的功耗和速度。

目前大多数互连芯片都是采用FinFet工艺的CMOS器件作为I/O接口，为了标准的通用性，接口电压的绝对最高值定义为0.96V。

考虑到小芯片互连的应用场景，小芯片间互连的速度支持2GT/s, 4GT/s, 6GT/s, 8GT/s, 12GT/s, 16GT/s。

ESD的标准有两种情况：如果小芯片的信号没有在封装上引出（Package out），那么ESD的标准HBM：500V，CDM：1.5A放电峰值电流；如果小芯片的信号有在封装上引出，那么ESD的标准HBM：2KV，CDM：6A放电峰值电流。

9.3.2.2.2 总线接口TX电气要求

并行总线接口TX电气要求见表12。

表 12 并行总线接口 TX 电气要求

信号名	符号	定义	单位	最小值	典型值	最大值
TXCLKP/TXCLKN (近发送端)	$V_{OH_Diff(AC)}$	差分输出高压(交流)	V	0.2	-	-
	$V_{OL_Diff(AC)}$	差分输出低压(交流)	V	-	-	-0.2
	$V_{OX(CK)}$	差分输出交叉点电压(CK)	mV	0.1	-	0.5
	V_{max}	TXCLKP/TXCLKN单端的最大幅度电压	V	-	-	0.96
	V_{min}	TXCLKP/TXCLKN单端的最小幅度电压	V	-0.3	-	-

表12 (续)

信号名	符号	定义	单位	最小值	典型值	最大值
TXCLKP/TXCLKN (近发送端)	$t_{CK(ave)}$	平均时钟周期	Data rate	-	-	0.5
	$t_{CH(ave)}$	平均高脉冲宽度	$mt_{CK(ave)}$	480	-	520
	$t_{JIT(per)}$	时钟周期抖动	$mt_{CK(ave)}$	-	-	50
	$t_{JIT(cc)}$	周期间周期抖动	$mt_{CK(ave)}$	-	-	100
DQ/DBI (近发送端)	V_{OH}	单端输出高压	V	-	-	0.96
	V_{OL}	单端输出低压	V	-0.3	-	-
	ZQ	单端阻抗	Ω	40	-	60
	RL	发送端封装回波损耗	dB	-	-	-15
	XT	总体串扰	dB	-	-	-25

V_{ix} 定义、Rx眼图测量、上升、下降时间测量示意图见图34、图35、图36。

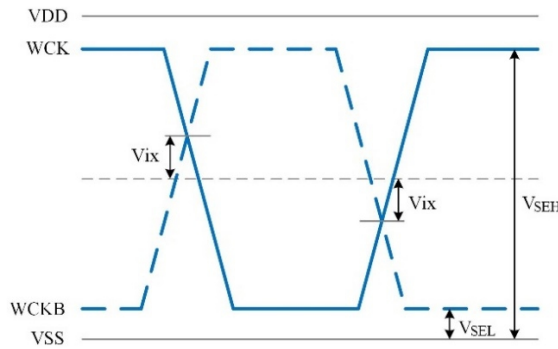


图 34 V_{ix} 定义示意图

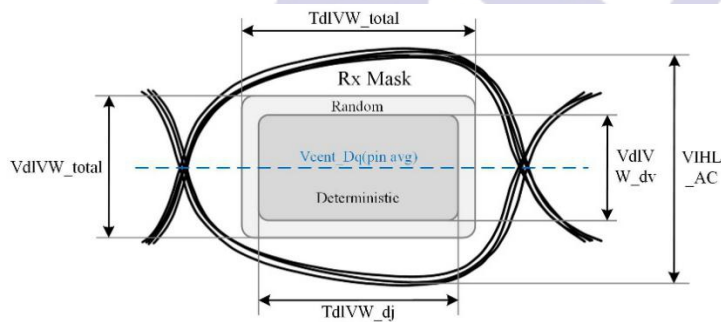


图 35 Rx 眼图测量示意图

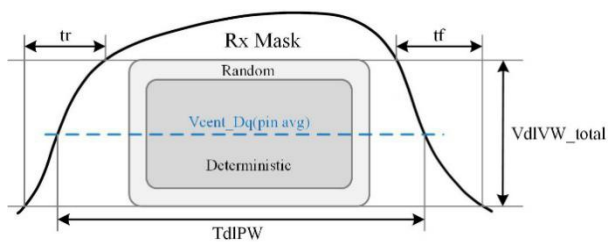


图 36 上升、下降时间测量示意图

9.3.2.2.3 并行总线接口RX电气要求

并行总线接口RX电气要求见表13。

表 13 并行总线接口 RX 电气要求

名称	符号	定义	单位	最小值	典型值	最大值
RXCLKP/RXCLKN (近接收端)	$V_{IH_Diff(AC)}$	差分输入高压(交流)	V	0.1	-	-
	$V_{IL_Diff(AC)}$	差分输入低压(交流)	V	-	-	-0.1
	$V_{IX(CK)}$	差分输入交叉点电压(CK)	mV	0.05	-	0.5
	V_{max}	RXCLKP/RXCLKN单端的最大幅度电压	V	-	-	0.96
	V_{min}	RXCLKP/RXCLKN单端的最小幅度电压	V	-0.3	-	-
	$t_{CK(ave)}$	平均时钟周期	Data rate	-	-	0.5
	$t_{CH(ave)}$	平均高脉冲宽度	mtCK(ave)	480	-	520
	$t_{JIT(per)}$	时钟周期抖动	mtCK(ave)	-	-	50
	$t_{JIT(cc)}$	周期间周期抖动	mtCK(ave)	-	-	100
DQ/DBI (近接收端)	T_{dIVW_total}	接收定时窗口总计	mtCK(ave)	-	-	200
	V_{dIVW_total}	接收端屏蔽电压峰值总计	mV	-	-	110
	T_{dIPW}	DQ输入脉冲宽度	mtCK(ave)	480	-	-
	V_{IHL_AC}	DQ交流输入摆幅峰值	mV	200	-	-
	ZQ	单端阻抗	Ω	40	-	60
	IL	通道插入损耗	dB	-	-	-5
	RL	接收端封装回波损耗	dB	-	-	-15
	XT	总体串扰	dB	-	-	-25

9.3.2.3 差分串行总线接口电气要求（物理/PMA）

9.3.2.3.1 总体要求

差分串行总线采用SerDes技术，是每条数据通道有一对差分发送数据线和一对差分接收数据线，接收端的采样时钟通过CDR方式从接收的串行比特流数据中提取。此外在差分串行总线中也可以选择具有随路时钟的方式去发送所需要的时钟，此优点在于可以达到较低的功耗，低延迟及高可靠的特性。

考虑小芯片之间的通讯正确性，需要约定数据传输速率。基于常见的情形，速率可选有2GT/s, 4GT/s, 6GT/s, 8GT/s, 12GT/s, 16GT/s, 20GT/s, 24GT/s, 28GT/s, 32GT/s。不同的IP或者产品可以定义其他的传输速率，但是以上这些速率是IP或者产品必须满足的。

为了兼顾功耗，速度和通用性，差分信号的最大摆幅定义为800mV。

目前大多数芯片都是采用FinFet工艺的CMOS器件作为I/O接口，为了标准的通用性，接口电压的绝对最高值定义为0.96V。

ESD标准要求与并行总线的要求一致。

本文件只约定基于NRZ编码传输方式的电学规范。

9.3.2.3.2 差分串行总线接口TX电气要求

差分串行总线接口TX电气要求见表14。

表 14 差分串行总线接口 TX 电气要求

符号	定义	单位	最小值	典型值	最大值
$V_{TX-DIFF-PP}$	差分发送电压摆幅峰峰值 ($2* V_{TXD+} - V_{TXD-} $)	V	0.2	-	0.96
$V_{CM-RANGE-TX}$	差分输出共模范围	V	0.1	-	-
T_{j-tx}	抖动	UI	-	-	0.3
$R_{LTX-DIFF}$	发送端封装差分回波损耗	dB	-	-	-5
R_{LTX-CM}	发送端封装共模回波损耗	dB	-	-	-2
$Z_{TX-DIFF-DC}$	直流差分传输阻抗	Ω	80	-	120
$V_{TX-CM-AC-PP}$	发送交流共模电压	mVPP	-	-	150
$I_{TX-SHORT}$	发送短路电流限制	mA	-	-	90
$V_{TX-DC-CM}$	发送直流共模电压	V	0.2	-	0.6
$V_{TX-IDLE-DIFF-AC-p}$	发送电气 IDLE 差分峰值电压(交流)	mV	-	-	20
$V_{TX-IDLE-DIFF-DC}$	发送电气 IDLE 差分电压(直流)	mV	-	-	5
$T_{TX-IDLE-MIN}$	电气 IDLE 最短耗时	ns	20	-	-
$T_{TX-IDLE-TO-DIFF DATA}$	从电气 IDLE 状态至差分信号有效状态的最大转变时间	ns	-	-	5
$L_{TX-SKEW}$	$16 \text{ GT/s} \leq \text{data rate} \leq 32 \text{ GT/s}$	ns	-	-	1.25
	$8 \text{ GT/s} \leq \text{data rate} < 16 \text{ GT/s}$		-	-	1.5
	$\text{Data rate} < 8 \text{ GT/s}$		-	-	2.5
T_{TX_Rj}	$16 \text{ GT/s} \leq \text{data rate} \leq 32 \text{ GT/s}$	ps, rms	-	-	0.45
	$8 \text{ GT/s} \leq \text{data rate} < 16 \text{ GT/s}$		-	-	0.8
	$\text{Data rate} < 8 \text{ GT/s}$		-	-	2

9.3.2.3.3 差分串行总线接口RX电气要求

差分串行总线接口RX电气要求见表15。

表 15 差分串行总线接口 RX 电气要求

符号	定义	单位	最小值	典型值	最大值
$V_{RX-DIFF-PP}$	差分接收电压摆幅峰峰值	V	0.2	-	0.96
$V_{CM-RANGE-RX}$	差分输入共模范围	V	0.1	-	-
$I_{LRX-DIFF}$	通道插入损耗	dB	-	-	-10
$R_{LRX-DIFF}$	接收端差分回波损耗	dB	-	-	-6
R_{LRX-CM}	接收端共模回波损耗	dB	-	-	-2

表15 (续)

符号	定义	单位	最小值	典型值	最大值
$Z_{RX-DIFF-DC}$	接收端差分直流阻抗	Ω	80	-	120
$V_{RX-IDLE-DET\ DIFF_{p-p}}$	电气 IDLE 测量门限 $2* VRXP-VRXN $	mV	-	-	170
$L_{RX-SKEW}$	$16\text{ GT/s} \leq \text{data rate} \leq 32\text{ GT/s}$	ns	-	-	5
	$8\text{ GT/s} \leq \text{data rate} < 16\text{ GT/s}$		-	-	6
	Data rate < 8 GT/s		-	-	20

9.3.2.3.4 差分串行总线接口参考时钟电气要求

差分串行总线接口参考时钟电气要求见表16。

表 16 差分串行总线接口参考时钟电气要求

符号	参数	单位	最小值	典型值	最大值
V_{IH}	差分输入高电压	mV	150	-	-
V_{IL}	差分输入低电压	mV	-	-	-150
V_{CROSS}	交叉点电压	mV	250	-	550
Freq-Acc_Avg	平均时钟频率精度	ppm	-300	-	300
Freq-Abs	时钟频率	MHz	-	78.125, 100, 125, 156.25, 166.67, 200, 312.5	500
Clock phase noise offset from nominal input frequency	100Hz	dBc/Hz	-	-	-85
	1 kHz		-	-	-97
	10 kHz		-	-	-97
	100 kHz		-	-	-114
	1 MHz~1 GHz		-	-	-126
TCC-JITTER	相邻周期间抖动	ps	-	-	150
RMS_JITEER $\leq 8\text{GT/s}$	参考时钟随机抖动 (Integrated RJ from 12kHz to 20MHz)	ps, rms	-	-	1.7
	参考时钟随机抖动 (Integrated RJ from 2MHz to 20MHz)	ps, rms	-	-	1.2
DJ_JITEER $\leq 8\text{GT/s}$	参考时钟确定性抖动 (0.75~10Mhz offset)	ps, pp	-	-	3
	参考时钟确定性抖动 (0.2~50MHz offset)	ps, pp	-	-	5.5
RMS_JITEER $> 8\text{GT/s}$	参考时钟随机抖动 (Integrated RJ from 12kHz to 20MHz)	ps, rms	-	-	0.9

表16 (续)

符号	参数	单位	最小值	典型值	最大值
RMS_JITEER >8GT/s	参考时钟随机抖动 (Integrated RJ from 2MHz to 20MHz)	ps, rms	-	-	0.7
DJ_JITEER >8GT/s	参考时钟确定性抖动 (0.75~10Mhz offset)	ps, pp	-	-	1.8
	参考时钟确定性抖动 (0.2~50MHz offset)	ps, pp	-	-	3.6
Duty Cycle	占空比	%	45	-	55
ZC-DC	时钟源输出直流阻抗	Ω	40	-	60

9.4 概述

本章规定小芯片封装形式、封装设计要求、工艺范围相关要求。满足封装物理尺寸规范，以达到小芯片信号总线的电气指标要求，保证整个系统内不同芯片相互之间的信号传输正确，系统正确工作。

小芯片采用常规封装和先进封装两种封装技术。

9.5 常规封装

9.5.1 常规封装主要物理参数

常规封装在封装基板上进行芯片与芯片之间信号互连。信号在封装内部互连相对于封装之间在系统级印制电路板上互连，连接距离更短，无线缆，无连接器，信号完整性更好，可实现的信号互连密度和信号速率更高。常规封装结构示意图见图37，主要物理参数见表17。

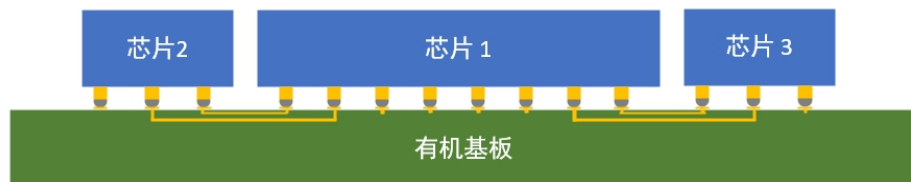


图 37 常规封装示意图

表 17 常规封装主要物理参数

项目	参数
凸点节距	130 μ m~180 μ m
互连距离	10~50mm
最小基板互连线宽（芯片区域）	$\leq 15\mu$ m
最小基板互连线间距（芯片区域）	$\leq 15\mu$ m

9.5.2 常规封装凸点排布

常规封装小芯片间互连凸点排布示意图见图38、图39。

单端并行16接口，双向模式，凸点间距150 μ m，交错列凸点间距为250 μ m：



图 38 常规封装小芯片间互连凸点排布示意图（单端并行 16 接口）

差分串行16接口，双向模式，凸点间距150 μm ，交错列凸点间距为250 μm ：



图 39 常规封装小芯片间互连凸点排布示意图（差分串行 16 接口）

凸点设计时需要遵循以下规则：

- 1) 小芯片间互连凸点需设计在芯片边缘处，凸点设计应符合图40，采用交错分布的方式；其中X表示两个对齐交错列的凸点距离，Y表示两个对齐交错行的凸点间距，Z表示两个不同行列的凸点最小距离。一般以Z为凸点最小间距，Y最小间距可以设计成和Z相同或者比Z大。X值是依据基板焊盘（孔上）尺寸和基板线宽线距来定义，从性能考虑凸点间距应尽量满足：焊盘最小直径+3倍基板最小线宽+4倍基板最小线距（以150 μm 的凸点节距为例，推荐的X值为250 μm ）；

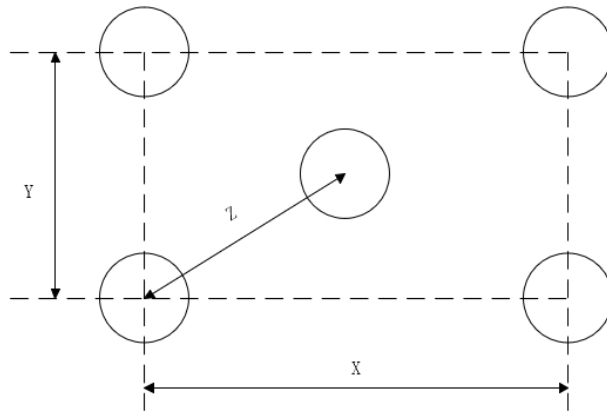


图 40 交错分布方式的凸点设计示意图

- 2) 在凸点矩阵中建议增加足够的供电/地线焊垫，以满足通道特性和功率要求；
- 3) 如果需要增加更多的模组，应垂直向上进行凸点分布；
- 4) 差分串行模式中，垂直方向相邻的凸点为一对差分信号，在基板上每对信号应保证在同一层布线上；
- 5) TX和RX的凸点排布整体应呈现镜像关系，但是其具体信号应为交错分布，示意图见图41。

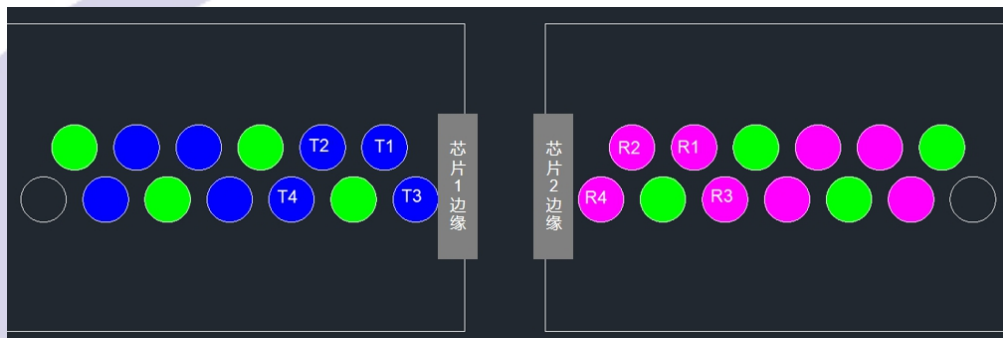


图 41 TX/RX 凸点排布示意图

9.5.3 常规封装链路模型

常规封装链路模型见表18。

表 18 常规封装链路模型

项目	条件	常规封装	单位
凸点间距	-	130~180	μm
通道长度	从发送端芯片的边缘到接收端芯片边缘	10~50	mm

常规封装小芯片间互连示意图见图42、图43。

单端并行16接口，双向模式，2层走线：

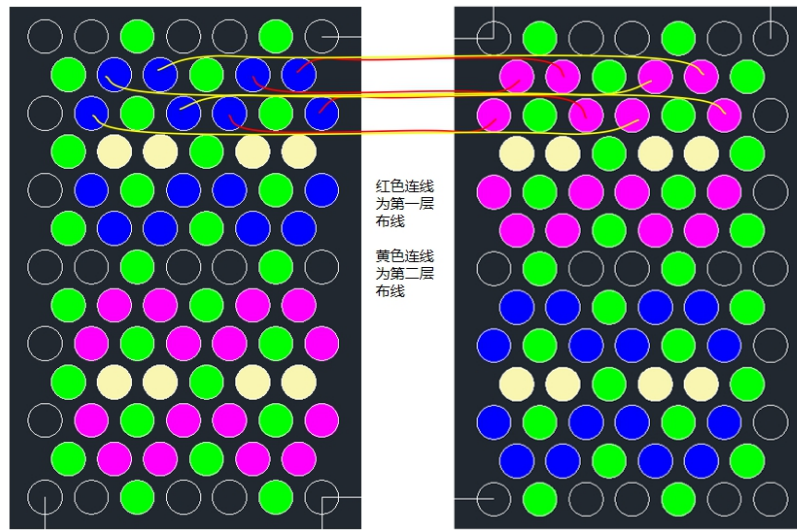


图 42 常规封装小芯片间互连示意图（单端并行 16 接口）

差分串行16接口，双向模式，4层走线：



图 43 常规封装小芯片间互连示意图（差分串行 16 接口）

互连设计时需要遵循以下规则：

- 1) 差分信号对内信号需要保证其在基板布线等长($\pm 0.5\text{mm}$)，对间做等长处理；
- 2) 常规的小芯片间互连在基板各层互连推荐示意图见图44。

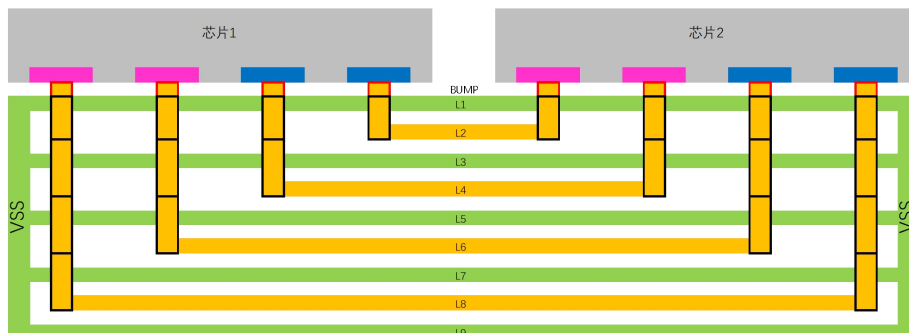


图 44 常规小芯片间在基板各层互连示意图

常规封装的通道模型，应包含链路的凸点、过孔、传输线结构，示意图见图45。

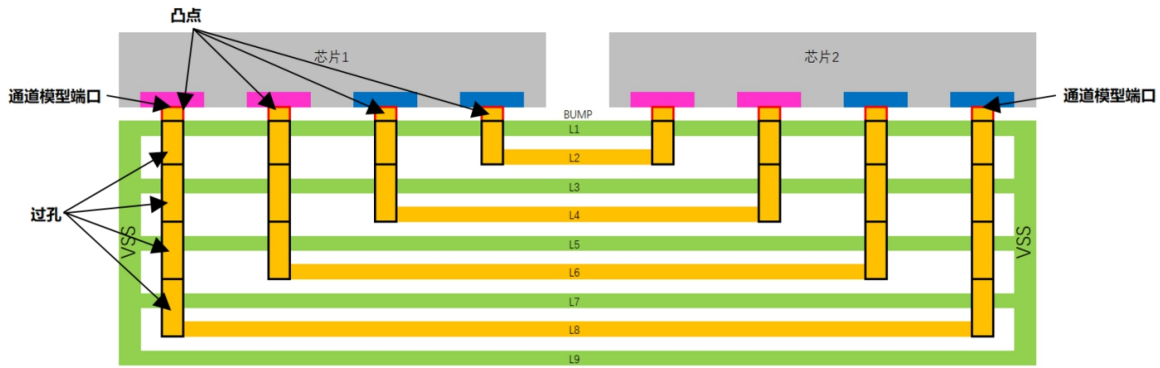


图 45 常规封装结构示意图

9.5.4 常规封装链路电特性（推荐不强制）

标准封装链路电特性见表19。

表 19 标准封装链路电特性

参数	条件	最小值	典型值	最大值	单位
单端并行					
特征阻抗	单端	-	50	-	Ω
插入损耗	包含小芯片凸点和传输线@尼奎斯特频率	-10	-	-	dB
插入损耗失配	包含小芯片凸点和传输线@尼奎斯特频率	-	-	1	dB
回波损耗	包含小芯片凸点和传输线@尼奎斯特频率	-	-	-15	dB
近端串扰	@尼奎斯特频率	-	-	-30	dB
远端串扰	@尼奎斯特频率	-	-	-40	dB
差分串行					
特征阻抗	差分	-	85	-	Ω
差分插入损耗	包含小芯片凸点和传输线@尼奎斯特频率	-10	-	-	dB
差分插入损耗失配	包含小芯片凸点和传输线@尼奎斯特频率	-	-	1	dB
差分回波损耗	包含小芯片凸点和传输线@尼奎斯特频率	-	-	-10	dB
共模回波损耗	包含小芯片凸点和传输线@尼奎斯特频率	-	-	-8	dB
差分近端串扰	@尼奎斯特频率	-	-	-30	dB
差分远端串扰	@尼奎斯特频率	-	-	-40	dB

9.6 先进封装

9.6.1 先进封装主要物理参数

先进封装在转接板上实现芯片与芯片间高密信号互连，提升信号互连密度，缩短信号互连距离。信号互连密度要求较低的芯片或其I/O部分通过封装基板进行互连。先进封装结构示意图见图46、图47、图48、图49，主要物理参数见表20。

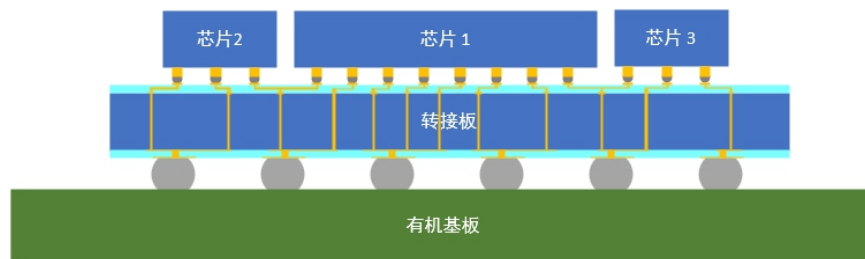


图 46 先进封装示意图（通过转接板信号互连）

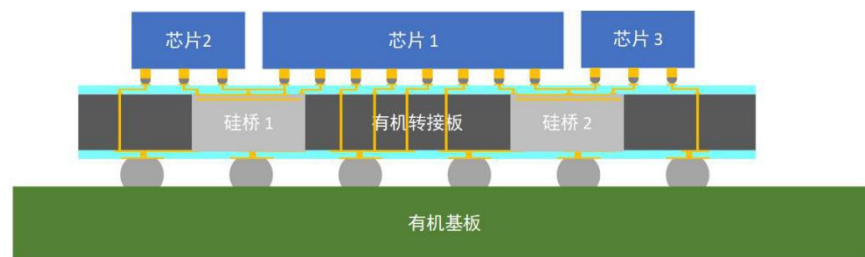


图 47 先进封装示意图（基于扇出面朝上工艺，通过硅桥转接板信号互连）

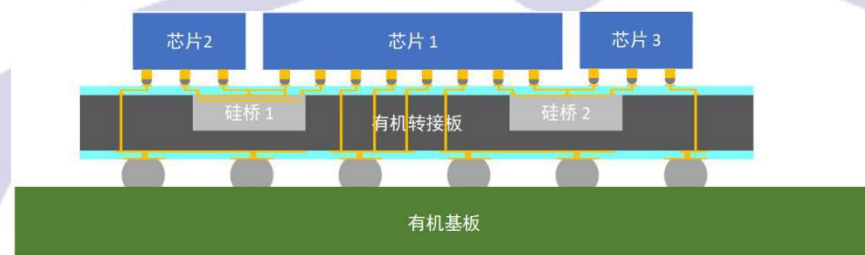


图 48 先进封装示意图（基于扇出面朝下工艺，通过硅桥转接板信号互连）

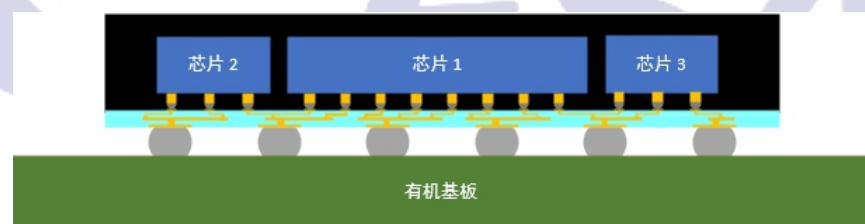


图 49 先进封装示意图（基于扇出工艺，通过重布线层信号互连）

表 20 先进封装主要物理参数

方案	重布线层	硅转接板	硅桥互连（有机转接板）
互连距离	<2mm	<2mm	<2mm
RDL线宽/线距	>2 μ m/2 μ m	>1 μ m/1 μ m	>1 μ m/1 μ m
RDL层数	<5	<5	<5
凸点距离	\geq 55 μ m	>40 μ m	>40 μ m
C4焊球间距	>130 μ m	>130 μ m	>130 μ m

9.6.2 先进封装凸点排布

先进封装小芯片间互连凸点排布规则如下：

- 1) 小芯片间互连凸点需设计在芯片边缘处，凸点设计应符合图50，采用交错分布的方式；其中X表示两个对齐交错列的凸点距离，Y表示两个对齐交错行的凸点间距，Z表示两个不同行列的凸点最小距离。一般以Z为凸点最小间距，Y最小间距可以设计成和Z相同，为方便不同厂商小芯片间互连，建议X的值固定为 $95\mu\text{m}$ ，每通道($\times 64$)宽度 $475\mu\text{m}$ 。

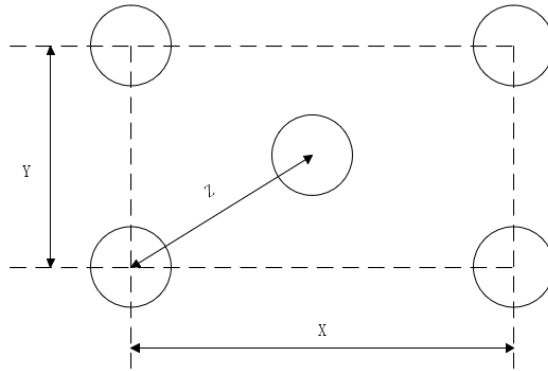


图 50 交错分布方式的凸点设计

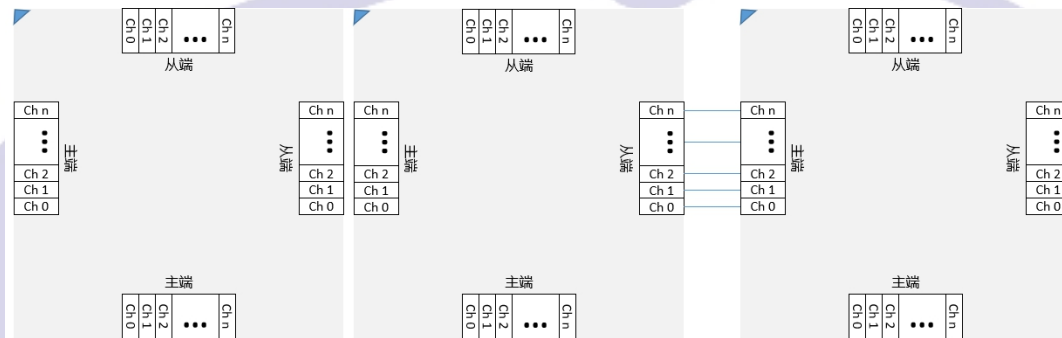


图 51 不同方向的接口通道排布

- 2) 当芯片凸点在下时，不同方向的接口通道排布应满足如下要求，每个方向都可以设置成双向模式，见图51。这样可以确保不同芯片直接互连，并保证主从连接的正确性；
- 3) 所有的输入输出信号均并列互连，确保一一对应，不同接口长度最短且相同，见图52。设计时应考虑不同介质层引发的信号偏移问题。

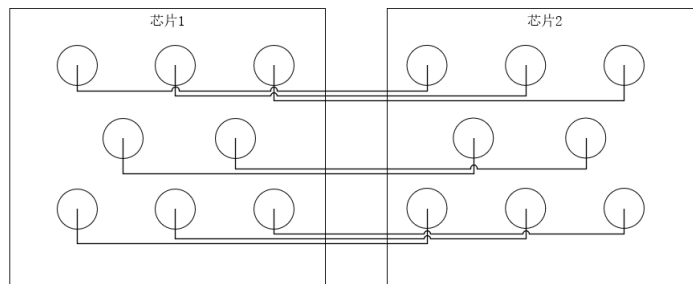


图 52 芯片间互连示意图

先进封装小芯片间互连凸点排布示意图见图53。

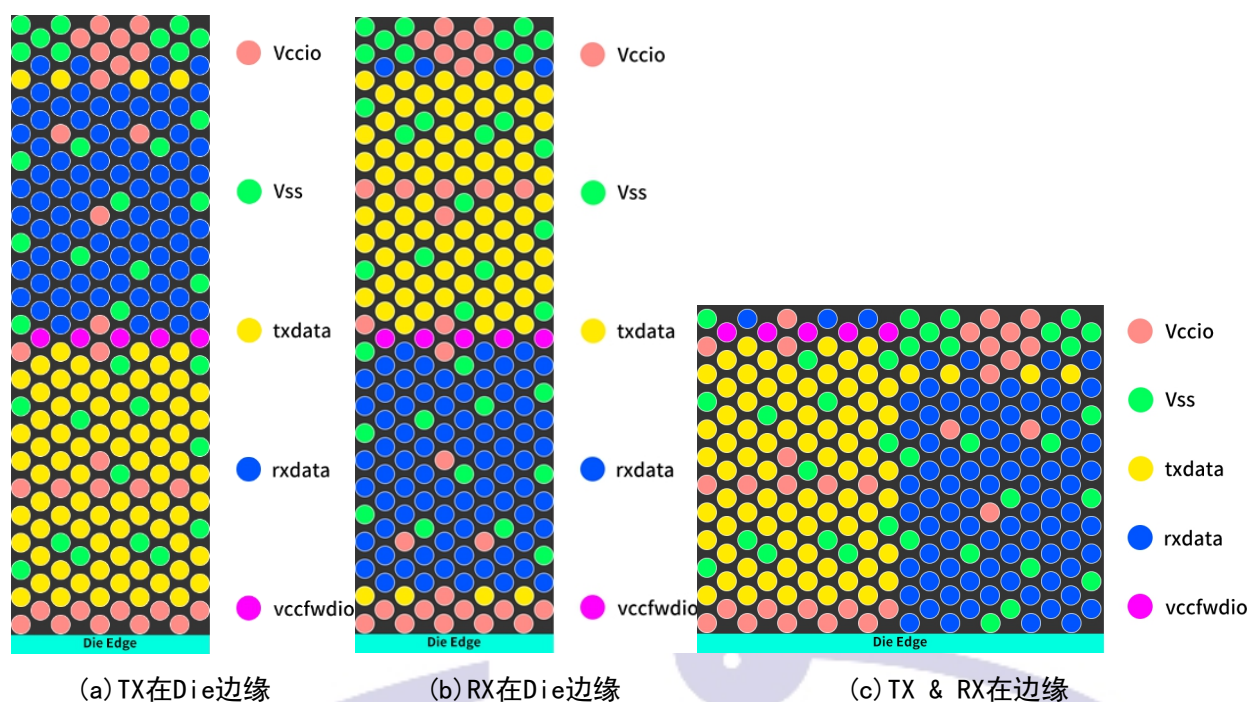


图 53 先进封装小芯片间互连凸点排布

9.6.3 先进封装链路模型

9.6.3.1 传输链路形式

基于先进封装的芯片之间的信号和电源传输链路，主要有以下三种形式：

1) 先进封装（通过转接板信号互连）

芯片1-凸点-转接板-凸点-芯片2；

2) 先进封装（采用扇出工艺，通过硅桥转接板信号互连）

芯片1-凸点-硅桥转接板-凸点-芯片2；

3) 先进封装（采用扇出工艺，通过重布线层信号互连）

芯片1-凸点-重布线层-凸点-芯片2。

9.6.3.2 通过转接板信号互连的链路模型

通过转接板信号互连链路模型见表21。

表 21 通过转接板信号互连链路模型

项目	条件	转接板	单位
最小线宽/线距	最小的线宽和线空间	1	μm
通道长度	从发送端凸点到接收端凸点的距离	<5	mm

先进封装中，通过转接板信号互连的四层金属走线示意图见图54。

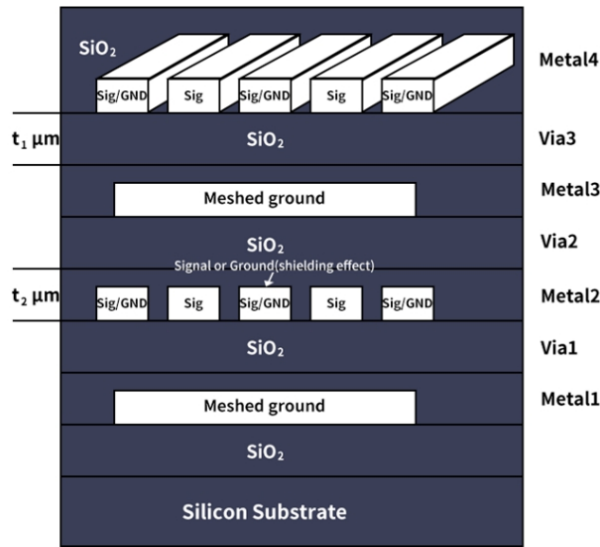


图 54 先进封装（通过转接板信号互连）的四层金属走线示意图

9.6.3.3 采用扇出工艺，通过硅桥转接板信号互连的链路模型

通过硅桥转接板信号互连链路模型见表22。

表 22 通过硅桥转接板信号互连链路模型

项目	条件	硅桥转接板	单位
最小线宽/线距	最小的线宽和线空间	1	μm
通道长度	从发送端凸点到接收端凸点的距离	<5	mm

先进封装中，采用扇出工艺，通过硅桥转接板信号互连的四层金属走线示意图见图55。

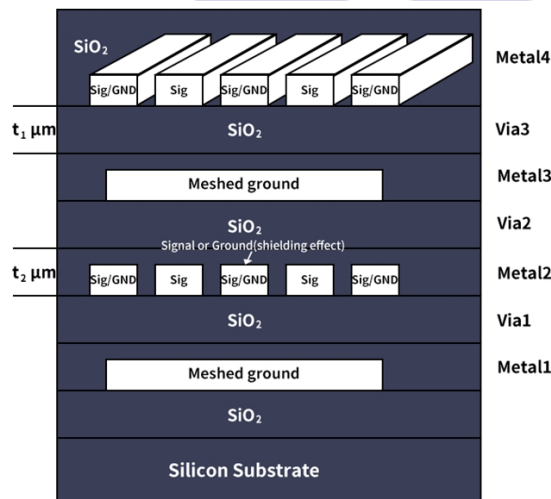


图 55 先进封装（采用扇出工艺，通过硅桥转接板信号互连）的四层金属走线示意图

9.6.3.4 采用扇出工艺，通过重布线层信号互连的链路模型

通过重布线层信号互连链路模型见表23。

表 23 通过重布线层信号互连链路模型

项目	条件	RDL	单位
最小线宽/线距	最小的线宽和线空间	2	μm
通道长度	从发送端凸点到接收端凸点的距离	<5	mm

先进封装中，采用扇出工艺，通过重布线层信号互连的四层金属走线示意图见图56。

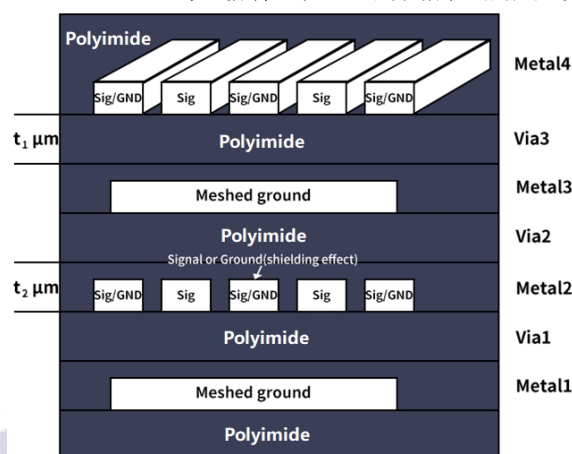


图 56 先进封装（采用扇出工艺，通过重布线层信号互连）的四层金属走线示意图

9.6.4 先进封装链路电特性

先进封装链路特性见表24。

表 24 先进封装链路电特性

参数	条件	最小值	典型值	最大值	单位
凸点间距	-	55	-	-	μm
通道长度	从发送端凸点到接收端凸点的距离	-	-	10	mm
单端并行					
特征阻抗	单端	-	-	-	Ω
插入损耗	包含小芯片凸点和传输线@尼奎斯特频率	-5	-	-	dB
插入损耗失配	包含小芯片凸点和传输线@尼奎斯特频率	-	-	0.5	dB
回波损耗	包含小芯片凸点和传输线@尼奎斯特频率	-	-	-10	dB
近端串扰	@尼奎斯特频率	-	-	-20	dB
远端串扰	@尼奎斯特频率	-	-	-30	dB
差分串行					
特征阻抗	差分	-	-	-	Ω
差分插入损耗	包含小芯片凸点和传输线@尼奎斯特频率	-5	-	-	dB
差分插入损耗失配	包含小芯片凸点和传输线@尼奎斯特频率	-	-	0.5	dB
差分回波损耗	包含小芯片凸点和传输线@尼奎斯特频率	-	-	-8	dB
差分共模损耗	包含小芯片凸点和传输线@尼奎斯特频率	-	-	-6	dB
近端串扰	@尼奎斯特频率	-	-	-20	dB
远端串扰	@尼奎斯特频率	-	-	-30	dB

10 可测性

10.1 可编程测试码型生成器和检查器

生成和检查测试码型的能力对于某些应用和测试目的是非常有用的。这个可选的测试码型扩展功能描述了测试码型的生成和检查功能。

对于每一个TX/RX对，测试码型功能包含码型生成器和码型检查器。可以采用伪随机二进制序列(Pseudo-Random Binary Sequence, PRBS)多项式对测试码型产生器和码型检查器进行自定义编程。在本标准文件之外，另行制定评测要求。



参 考 文 献

- [1] 计算机快速链接规范第二次修订版本 2020年10月 (Compute Express Link Specification Revision 2.0, October, 2020)
- [2] 快速外围器件接口基础规范第五次修订1.0版本 2019年5月 (PCI Express Base Specification Revision 5.0 Version 1.0 May 22, 2019)
- [3] 快速外围器件接口基础规范第六次修订版本 2021年12月 (PCI Express Base Specification Revision 6.0 December 16, 2021)
- [4] 计算机快速链接规范第三次修订1.0版本 2022年8月 (Compute Express Link Specification Revision 3.0, Version 1.0 August 1, 2022)

